

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

13

Jc978 U.S. PTO  
09/987358  
11/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 5月 9日

出 願 番 号

Application Number: 特願2001-139082

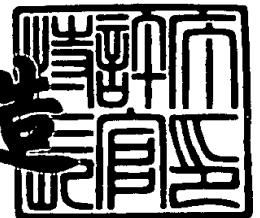
出 願 人

Applicant(s): 三菱電機株式会社

2001年 5月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3047567

【書類名】 特許願

【整理番号】 531439JP01

【提出日】 平成13年 5月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/12

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 中本 勝也

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 橘田 光弘

【発明者】

    【住所又は居所】 東京都千代田区大手町二丁目6番2号 三菱電機エンジニアリング株式会社内

    【氏名】 橋本 光司

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 後閑 博

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100057874

    【弁理士】

    【氏名又は名称】 曾我 道照

【選任した代理人】

【識別番号】 100110423

【弁理士】

【氏名又は名称】 曾我 道治

【選任した代理人】

【識別番号】 100071629

【弁理士】

【氏名又は名称】 池谷 豊

【選任した代理人】

【識別番号】 100084010

【弁理士】

【氏名又は名称】 古川 秀利

【選任した代理人】

【識別番号】 100094695

【弁理士】

【氏名又は名称】 鈴木 憲七

【選任した代理人】

【識別番号】 100111648

【弁理士】

【氏名又は名称】 梶並 順

【選任した代理人】

【識別番号】 100109287

【弁理士】

【氏名又は名称】 白石 泰三

【手数料の表示】

【予納台帳番号】 000181

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 車載電子制御装置

【特許請求の範囲】

【請求項 1】 外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリ、および演算処理用の R A M メモリを有するマイクロプロセッサと、

該マイクロプロセッサのデータバスに接続された直接入力用インタフェース回路および直接出力用インタフェース回路、間接入力用インタフェース回路、定数設定レジスタを含む可変フィルタ回路、および通信制御回路を有する集積回路と、

上記間接入力用インタフェース回路を介して入力された複数の外部入力信号を上記 R A M メモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路と

を備えたことを特徴とする車載電子制御装置。

【請求項 2】 上記間接入力用インタフェース回路の一部は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサからなるノイズフィルタ、およびヒステリシス機能を持ったレベル判定用比較器によって構成された O N / O F F 信号用のインタフェース回路であり、上記可変フィルタ回路は、所定の周期でサンプリング記憶された連続する複数のレベル判定結果の全てが正である時にセットされ、連続する複数のレベル判定結果の全てが否である時にリセットされる入力確定レジスタ、および上記サンプリング周期またはセット／リセットを行う論理判定点数の少なくとも一方の値が格納された定数設定レジスタによって構成され、上記入力確定レジスタの出力は、上記 R A M メモリに送信され、上記サンプリング周期またはセット／リセットを行う論理判定点数の少なくとも一方の値は上記不揮発メモリから上記定数設定レジスタに送信されることを特徴とする請求項 1 に記載の車載電子制御装置。

【請求項 3】 上記間接入力用インタフェース回路の一部は、正負のクリップダイオードと小容量コンデンサを含むノイズフィルタによって構成されたアナ

ログ信号用のインタフェース回路であり、上記可変フィルタ回路は、切換スイッチにより周期的に充放電されるスイッチトキャパシタと充放電周期の値が格納された定数設定レジスタとによって構成され、上記スイッチトキャパシタの出力は、A/D変換器を介してデジタル変換され、該デジタル変換値が上記RAMメモリに送信され、上記充放電周期の値は上記不揮発メモリから上記定数設定レジスタに送信されることを特徴とする請求項1に記載の車載電子制御装置。

【請求項4】 上記マイクロプロセッサの制御出力の一部は、上記双方向シリアル通信回路を介して送信された制御出力信号を記憶するラッチメモリと、該ラッチメモリの出力に接続された間接出力用インタフェース回路を介して外部負荷とに供給されることを特徴とする請求項1～3のいずれかに記載の車載電子制御装置。

【請求項5】 上記マイクロプロセッサのデータバスに供給される直接入力と直接出力は、エンジンの点火制御や燃料噴射制御等の高速応答性が要求される入出力であり、上記双方向シリアル通信回路を介して上記マイクロプロセッサと交信される間接入力と間接出力は、手動操作信号、温度センサ、水温センサ等の低速・低頻度動作の入力信号または補機駆動出力、警報表示出力等の低速・低頻度動作の出力信号であることを特徴とする請求項1～4のいずれかに記載の車載電子制御装置。

【請求項6】 上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は受信したフィルタ定数を上記各定数設定レジスタに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信することを特徴とする請求項1～5のいずれかに記載の車載電子制御装置。

【請求項7】 上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と出力情報送信案内コマンドに続く間接出力情報または入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数と間接出力情報を上記各定数設定レ

ジスタとラッチメモリに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信することを特徴とする請求項1～6のいずれかに記載の車載電子制御装置。

【請求項8】 上記マイクロプロセッサは、特定入力情報送信要求コマンドに続くアドレス情報を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、特定入力情報返信案内コマンドに続いて指定されたアドレスの間接入力情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信することを特徴とする請求項1～7のいずれかに記載の車載電子制御装置。

【請求項9】 上記マイクロプロセッサは、特定定数送信案内コマンドに続くアドレス情報とフィルタ定数を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を指定されたアドレスの定数設定レジスタに格納することを特徴とする請求項1～8のいずれかに記載の車載電子制御装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、例えば自動車用エンジンの燃料供給制御等に用いられるマイクロプロセッサを内蔵した電子制御装置、特に多数の入出力信号の扱い方を改善して装置の小型化を図ると共に、各種車両の制御に対して装置の標準化を図るように改良された車載電子制御装置に関するものである。

##### 【0002】

##### 【従来の技術】

図8は、従来のこの種電子制御装置における典型的なブロック回路図を示したものであり、1枚のプリント基板で構成されたECU（エンジンコントロールユニット）1は大型のLSI（集積回路部品）2を主体とし、このLSI2はCPU（マイクロプロセッサ）3、不揮発フラッシュメモリ4、RAMメモリ5、入力用データセクタ6、A/D変換器7、出力ラッチメモリ8等をデータバス3

0で結合したものとなっている。

ECU1は車載バッテリー10から電源線11および電源スイッチ12を介して給電される電源ユニット9から制御電源の供給を受けて動作するものであるが、その実行プログラムやエンジン制御用制御定数等は予め不揮発フラッシュメモリ4に格納されている。

#### 【0003】

一方、各種センサスイッチ13からの多数のON/OFF入力信号はプルアップまたはプルダウン抵抗としてのブリーダ抵抗14からノイズフィルタを構成する直列抵抗15と並列コンデンサ16を経て比較器19に供給されるが、この比較器19には入力抵抗17と正帰還抵抗18が接続されていて、並列コンデンサ16の両端電圧が比較器19の負側端子に印加されている基準電圧を超えるとデータセクタ6に論理「H」の信号を供給する。

#### 【0004】

しかし、並列コンデンサ16の両端電圧が低下する時には、正帰還抵抗18による入力が加算されるので比較器19の基準電圧よりも更に低い電圧まで低下したことにより比較器19の出力は論理「L」に復帰する。

このようにして比較器19はヒステリシス機能を包含したレベル判定用比較器としての機能を持っており、多数の比較器19の出力はデータセクタ6、データバス30を介してRAMメモリ5に格納されるようになっている。

なお、データセクタ6は、例えば16ビットの入力を扱い、CPU3からチップセレクト信号を受けた時にデータバス30に出力するものであるが、入力点数は数十点に及ぶものであって、複数のデータセクタが用いられている。

#### 【0005】

また、各種アナログセンサ20からの多数のアナログ信号はノイズフィルタを構成する直列抵抗21と並列コンデンサ22を介してA/D変換器7に供給され、CPU3からチップセレクト信号を受取ったA/D変換器のデジタル出力がデータバス30を介してRAMメモリ5に格納される。

CPU3の制御出力はデータバス30を介してラッチメモリ8に格納され、出力トランジスタ23を介して外部負荷26を駆動するものであるが、多くの制御

出力点数に対応するためには複数のラッチメモリが使用され、CPU3によってチップセレクトされたラッチメモリに対して制御出力が格納されるようになっている。

なお、24はトランジスタ23の駆動用ベース抵抗、25はトランジスタ23のベース／エミッタ端子間に接続された安定抵抗、27は外部負荷26に対する給電用電源リレーである。

#### 【0006】

このように構成された従来装置では、CPU3が極めて多くの入出力を取扱うためにLSI2の規模が大きくなることや、ノイズフィルタとしての並列コンデンサ16や22は目的とするフィルタ定数を確保するために様々の容量のコンデンサを使用する必要があって標準化が困難であると共に、大きなフィルタ定数を確保するためには大型コンデンサを用いる必要があってECU1が大型化する等の問題点があった。

#### 【0007】

LSI2の入出力端子を削減してその小型化を図る手段としては、例えば、特開平7-13912号公報の「入出力処理IC」で示されるように、シリアル通信ブロックを用いて多数の入出力信号を時分割して授受する方法が提示されている。

しかし、この方式では様々な容量のノイズフィルタが必要であって、装置の標準化に適さないばかりか、十分なフィルタ定数を確保するためにコンデンサの容量も大きなものが必要となって装置の小型化にも適さない問題がある。

#### 【0008】

一方、ON/OFF入力信号に対するノイズフィルタとしてデジタルフィルタを用い、そのフィルタ定数をマイクロプロセッサによって制御する概念は公知である。

例えば、特開平5-119811号公報に示されている「プログラマブルコントローラ」では、サンプリングされた外部入力信号の入力論理値が複数回連続して同じ値であればこれを採用して入力イメージメモリに格納すると共に、サンプリング周期を変更することができるフィルタ定数変更命令を備えている。

この方式では、フィルタ定数が自由に変更できる特徴があるが、多数の入力信号を扱う場合にはマイクロプロセッサの負担が大きくなり、マイクロプロセッサの本来の目的である制御の応答性が低下する問題がある。

その他、ON/OFF 信号に対するデジタルフィルタとしては例えば、特開 2 0 0 0 - 8 9 9 7 4 号公報に記載されている「データ格納制御回路」で見られるように、ハードウェアとしてのシフトレジスタを設けて上記と同様の概念でサンプリング処理するようにしたものもある。

【 0 0 0 9 】

また、例えば、特開平 9 - 8 3 3 0 1 号公報記載の「スイッチドキャパシタフィルタ」では、多チャンネルのアナログ入力信号に対するノイズフィルタとして、スイッチトキャパシタを用いたデジタルフィルタが示されている。

この場合でも、多数のアナログ入力信号を扱う場合にはマイクロプロセッサの負担が大きくなり、マイクロプロセッサの本来の目的である制御の応答性が益々低下する問題がある。

その他、特開平 8 - 3 0 5 6 8 1 号公報記載の「マイクロコンピュータ」では抵抗/コンデンサによるアナログフィルタの抵抗を多段階切換してフィルタ定数を変更するようにしたものが示されている。

【 0 0 1 0 】

【発明が解決しようとする課題】

ところで、上記のような従来装置では、以下のような問題点があった。

即ち、従来装置では、上述したように、部分的な小型化・標準化であって、これを統合した本格的な小型化・標準化が行われていないという問題点があった。

特に、マイクロプロセッサの入出力回路部分の小型化・標準化を達成する上で、マイクロプロセッサの本来の制御能力・応答性の低下が避けられないという問題があった。

【 0 0 1 1 】

この発明の第一の目的は、上記のような問題点を解決するためになされたものであって、入出力処理に関するマイクロプロセッサの負担を軽減して本来の制御能力・応答性の向上を図ると共に、入力フィルタ部分を小型化することによって

、制御装置全体の小型化と標準化を達成することができる車載電子制御装置を提供することである。

また、この発明の第二の目的は、制御仕様の異なる各種車両に対応して、制御プログラムや制御定数を変更することによって対処することによりハードウェアの標準化を一層効果的にしかも容易に行えるようにすることができる車載電子制御装置を提供することである。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

請求項 1 の発明に係る車載電子制御装置は、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリ、および演算処理用の R A M メモリを有するマイクロプロセッサと、該マイクロプロセッサのデータバスに接続された直接入力用インタフェース回路および直接出力用インタフェース回路、間接入力用インタフェース回路、定数設定レジスタを含む可変フィルタ回路、および通信制御回路を有する集積回路と、上記間接入力用インタフェース回路を介して入力された複数の外部入力信号を上記 R A M メモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路とを備えたものである。

#### 【 0 0 1 3 】

請求項 2 の発明に係る車載電子制御装置は、請求項 1 の発明において、上記間接入力用インタフェース回路の一部は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサからなるノイズフィルタ、およびヒステリシス機能を持ったレベル判定用比較器によって構成された O N / O F F 信号用のインタフェース回路であり、上記可変フィルタ回路は、所定の周期でサンプリング記憶された連続する複数のレベル判定結果の全てが正である時にセットされ、連続する複数のレベル判定結果の全てが否である時にリセットされる入力確定レジスタ、および上記サンプリング周期またはセット／リセットを行う論理判定点数の少なくとも一方の値が格納された定数設定レジスタによって構成され、上記入力確定レジスタの出力は、上記 R A M メモリに送信され、上記サンプリング周期またはセット／リセットを行う論理判定点数の少なくとも一

方の値は上記不揮発メモリから上記定数設定レジスタに送信されるものである。

【 0 0 1 4 】

請求項 3 の発明に係る車載電子制御装置は、請求項 1 の発明において、上記間接入力用インタフェース回路の一部は、正負のクリップダイオードと小容量コンデンサを含むノイズフィルタによって構成されたアナログ信号用のインタフェース回路であり、上記可変フィルタ回路は、切換スイッチにより周期的に充放電されるスイッチトキャパシタと充放電周期の値が格納された定数設定レジスタとによって構成され、上記スイッチトキャパシタの出力は、A/D変換器を介してデジタル変換され、該デジタル変換値が上記RAMメモリに送信され、上記充放電周期の値は、上記不揮発メモリから上記定数設定レジスタに送信されるものである。

【 0 0 1 5 】

請求項 4 の発明に係る車載電子制御装置は、請求項 1 の発明において、上記マイクロプロセッサの制御出力の一部は、上記双方向シリアル通信回路を介して送信された制御出力信号を記憶するラッチメモリと、該ラッチメモリの出力に接続された間接出力用インタフェース回路を介して外部負荷とに供給されるものである。

【 0 0 1 6 】

請求項 5 の発明に係る車載電子制御装置は、請求項 1 ～ 4 のいずれかの発明において、上記マイクロプロセッサのデータバスに供給される直接入力と直接出力は、エンジンの点火制御や燃料噴射制御等の高速応答性が要求される入出力であり、上記双方向シリアル通信回路を介して上記マイクロプロセッサと交信される間接入力と間接出力は、手動操作信号、温度センサ、水温センサ等の低速・低頻度動作の入力信号または補機駆動出力、警報表示出力等の低速・低頻度動作の出力信号であるものである。

【 0 0 1 7 】

請求項 6 の発明に係る車載電子制御装置は、請求項 1 ～ 5 のいずれかの発明において、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上

記集積回路に送信し、該集積回路は、受信したフィルタ定数を上記各定数設定レジスタに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するものである。

## 【 0 0 1 8 】

請求項7の発明に係る車載電子制御装置は、請求項1～6のいずれかの発明において、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と出力情報送信案内コマンドに続く間接出力情報または入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数と間接出力情報を上記各定数設定レジスタとラッチメモリに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するものである。

## 【 0 0 1 9 】

請求項8の発明に係る車載電子制御装置は、請求項1～7のいずれかの発明において、上記マイクロプロセッサは、特定入力情報送信要求コマンドに続くアドレス情報を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、特定入力情報返信案内コマンドに続いて指定されたアドレスの間接入力情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記RAMメモリに送信するものである。

## 【 0 0 2 0 】

請求項9の発明に係る車載電子制御装置は、請求項1～8のいずれかの発明において、上記マイクロプロセッサは、特定定数送信案内コマンドに続くアドレス情報とフィルタ定数を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を指定されたアドレスの定数設定レジスタに格納するものである。

## 【 0 0 2 1 】

## 【発明の実施の形態】

以下、この発明の一実施の形態を、図に基づいて説明する。

## 実施形態 1.

図 1 は、この発明の実施の形態 1 を示すブロック回路図である。

図において、100 は ECU（車載電子制御装置）であり、第一 LSI（第一の集積回路）110 と第二 LSI（第二の集積回路）120 を主要部品とする一枚の電子基板で構成されている。

101 a は例えばエンジンの点火時期や燃料噴射時期を制御するためのクランク角センサやオートクルーズ制御用の車速センサ等比較的高頻度の動作を行い、速やかに信号取込みを行う必要のある ON/OFF 動作の高速入力信号 IN1 ~ INi が入力されるコネクタ端子である。

101 b は例えばエヤフローセンサ或いはロッキングセンサ等の比較的高周波で変動するアナログ信号が入力されるコネクタ端子であり、図ではその内の 1 点の入力が代表的に表示されている。

## 【0022】

102 は例えば変速レバー位置を検出するセレクトスイッチやエアコンスイッチなど比較的低頻度の動作を行い、信号取込みの遅れがあまり問題とならないような ON/OFF 動作の低速入力信号 INs1 ~ INsn が入力されるコネクタ端子である。

103 は例えばアクセルポジションセンサや水温センサ、排気ガスの酸素濃度センサなど比較的緩慢な動作を行い、信号取込みの遅れがあまり問題とならないようなアナログ入力信号 AN1 ~ ANm が入力されるコネクタ端子である。

## 【0023】

104 は例えばエンジンの点火コイル駆動出力や燃料噴射制御用電磁弁駆動出力など比較的高頻度の動作を行い、遅滞なく駆動出力を発生する必要のある ON/OFF 動作の高速出力 OUT1 ~ OUTj が出力されるコネクタ端子である。

105 は例えばエアコン用電磁クラッチ駆動出力や表示警報出力など比較的低頻度の動作を行い、駆動出力の応答遅れがあまり問題とならない ON/OFF 動作の低速出力 OUTs1 ~ OUTsk が出力されるコネクタ端子である。

## 【0024】

106は上記ECU100に対して予め制御プログラムや制御定数等を転送書込みするための外部ツールであり、この外部ツールは製品出荷時や保守作業時に使用され、脱着コネクタ107を介してECU100に接続されるものである。

108は車載バッテリーに接続された電源端子であり、図示しない電源スイッチを介して給電される端子と後述のメモリの動作保持のために直接車載バッテリーから給電されるスリープ用端子によって構成されている。

#### 【0025】

第一LSI110はマイクロプロセッサ111、不揮発メモリ112、RAMメモリ113、入力用データセレクタ114、出力用ラッチメモリ115、後述の第二LSI120との間でシリアル信号の交信を行う直並列変換器116、外部ツール106とシリアル信号の交信を行うSCI（シリアル・コミュニケーション・インタフェース）117、AD変換器119等によって構成されており、これらの構成部品は8～32ビットのデータバス118によってマイクロプロセッサ111に接続されている。

なお、不揮発メモリ112は例えば一括書込みの行えるフラッシュメモリであって、外部ツール106から転送制御プログラムや車両制御用プログラム、車両制御用定数などがRAMメモリ113を経由して転送書込みされるようになっている。

#### 【0026】

また、第二LSI（集積回路）120の構成は、以下のとおりである。

高速入力端子101aから入力されたON/OFF信号はブリーダ抵抗130を経て第二LSI120に取込まれ、直接入力インタフェース回路としてのノイズフィルタ131a、レベル判定用比較器132aを介して入力用データセレクタ114に印加されている。

入力用データセレクタ114には例えば8点以下の高速ON/OFF入力信号が印加されていて、上記マイクロプロセッサ111がチップセレクトを行った時に上記データバス118にON/OFF情報を送出するようになっている。

141は高速入力端子101bとAD変換器119間に接続された帯域フィルタであり、この帯域フィルタ141は例えばエンジンのノッキングを検出する圧

電センサ等のアナログ信号に対する直接入力インタフェース回路を構成するものとなっている。

## 【 0 0 2 7 】

なお、ブリーダ抵抗 1 3 0 は数  $K \Omega$  の低抵抗のブリーダ抵抗であり、このブリーダ抵抗 1 3 0 は入力信号スイッチに対する負荷となるように各 ON / OFF 入力端子  $IN 1 \sim IN i$ 、 $IN s 1 \sim IN s n$  と電源の正側（プルアップ）または負側（プルダウン）に接続されていて、入力スイッチが OFF している時に入力端子が開放状態となってノイズが重畳するのを避けたり、入力スイッチが接点である場合にはその接触信頼性を向上する役割を持っている。

また、ノイズフィルタ 1 3 1 a は図 2 で後述するノイズフィルタ 1 3 1 b と同等のものであり、同様にレベル判定用比較器 1 3 2 a は図 2 で後述するレベル判定用比較器 1 3 2 b と同等のものである。

## 【 0 0 2 8 】

低速入力端子 1 0 2 から入力された ON / OFF 信号はブリーダ抵抗 1 3 0 を経て第二 L S I 1 2 0 に取込まれ、間接入力インタフェース回路としてのノイズフィルタ 1 3 1 b、レベル判定用比較器 1 3 2 b、可変フィルタ回路 1 3 3 a を介して入力用データセクタ 1 4 0 a に印加されており、可変フィルタ回路 1 3 3 a の詳細は図 2 において後述する。

なお、可変フィルタ回路 1 3 3 a はフィルタ定数を格納する定数設定レジスタ 1 3 7 a を備えている。

## 【 0 0 2 9 】

入力用データセクタ 1 4 0 a には例えば 8 点以下の間接 ON / OFF 入力信号が印加されていて、後述のアドレス選択回路 1 2 4 がチップセレクトを行った時にデータバス 1 2 8 に ON / OFF 情報を送出するようになっているが、8 点を超える ON / OFF 信号を扱う場合には第二・第三の入力用データセクタが用いられ、順次チップセレクトされてデータバス 1 2 8 に ON / OFF 情報を送出するように構成されるものである。

## 【 0 0 3 0 】

低速入力端子 1 0 3 から入力されたアナログ信号は間接入力インタフェース回

路としてのノイズフィルタ 135 と可変フィルタ回路 136 a、多チャンネルの AD 変換器 138 を介して各チャンネル毎のデジタル値を格納するラッチメモリ 139 に入力されており、可変フィルタ回路 136 a の詳細は図 3 において後述する。

なお、可変フィルタ回路 136 a はフィルタ定数を格納する定数設定レジスタ 137 b を備えており、各ラッチメモリ 139 は入力用データセクタ 140 b を介してデータバス 128 に接続されている。

#### 【0031】

126 は直並列変換器 116 と対をなしてシリアルインタフェース回路を構成する直並列変換器、121 はマイクロプロセッサ 111 から直並列変換器 116、126 を介して送信された一連の情報を一時記憶するバッファメモリ、122 a はこのバッファメモリ 121 内のデータをチェックするデータチェック回路、122 b は確認応答用データレジスタ、123 はデータチェック回路 122 a によるデータチェックが正常であった時に動作するコマンドデコーダ、124 はコマンドデコーダ 123 の内容に応じて送受信すべきデータのアドレスを選択するアドレス選択回路、127 はクロックジェネレータであり、バッファメモリ 121 からクロックジェネレータ 127 によって通信制御回路 129 が構成されている。

#### 【0032】

128 は直並列変換器 126 の並列端子やバッファメモリ 121、確認応答用データレジスタ 122 b、定数設定レジスタ 137 a、137 b、入力用データセクタ 140 a、140 b の外に間接出力用のラッチメモリ 125 等が接続されたデータバスであり、通信制御回路 129 を用いたデータ授受の方法は図 4 によって後述する。

134 a、134 b は直接出力インタフェース回路或いは間接出力インタフェース回路を構成する負荷駆動用トランジスタであり、それぞれラッチメモリ 115 と高速出力端子 104 との間、およびラッチメモリ 125 と低速出力端子 105 との間に接続され、ラッチメモリ 115 や 125 の出力信号によって外部負荷 OUT1 ～ OUTj や OUTs1 ～ OUTsk を駆動するようになっている。

142は電源端子108から給電されて第一LSI110や第二LSI120に給電する電源ユニットであり、この電源ユニット142やブリーダ抵抗130、出力トランジスタ134a、134bなどは第二LSI120の外部に設けられている。

なお、図示しない高速入力信号として、出力トランジスタ134aの動作確認信号や負荷電流検出信号なども、ECU100内部で発生する信号としてマイクロプロセッサ111に取込まれるようになっている。

#### 【0033】

図2は図1における可変フィルタ回路133aとその周辺回路の詳細を示すものである。

図において、入力スイッチ200に対して前述の低抵抗のブリーダ抵抗130を備えた入力信号 $IN_{sn}$ は、実用可能な上限値である数百Kオームの高抵抗の直列抵抗210を介して十数pFの並列小容量コンデンサ211に接続されている。

131bは直列抵抗210と小容量コンデンサ211によって構成されたノイズフィルタであって、高周波ノイズを吸収平滑化するためのものである。

132bは入力抵抗221、正帰還抵抗223、比較器220によって構成されたレベル判定用比較器であり、上記比較器220の反転入力には所定の基準電圧222（電圧 $V_{on}$ ）が印加される。

#### 【0034】

従って、小容量コンデンサ211の充電電圧が基準電圧 $V_{on}$ 以上になると比較器220の出力は「H」（論理「1」）となるが、一旦比較器220の出力が「H」になると、正帰還抵抗223による入力加算が生じるために、小容量コンデンサ211の充電電圧が $V_{off}$ （ $<V_{on}$ ）まで低下しなければ比較器220の出力は「L」（論理「0」）にはならないようにヒステリシス機能を持っている。

これは小容量コンデンサ211に重畳されたノイズリップルによって、高頻度に比較器220の出力が反転変化することを防止するためのものとなっている。

#### 【0035】

可変フィルタ回路 1 3 3 a を構成するシフトレジスタ 2 3 0 には、比較器 2 2 0 の出力が入力されると共に、クロックジェネレータ 1 2 7 a から周期 T のシフト用パルス入力 that 供給される。

従って、シフトレジスタ 2 3 0 の後段の論理内容は、順次過去の時点における比較器 2 2 0 の出力論理内容となっている。

#### 【 0 0 3 6 】

2 3 1 a ~ 2 3 7 a はシフトレジスタ 2 3 0 の各出力段における論理内容と定数設定レジスタ 1 3 7 a の各ビットの論理内容を論理和する第一の論理ゲート素子、2 3 8 a はこの論理ゲート素子 2 3 1 a ~ 2 3 7 a の出力を結合する論理積素子、2 3 9 はこの論理積素子 2 3 8 a の出力によってセットされるフリップフロップ素子によって構成された入力確定レジスタである。

また、2 3 1 b ~ 2 3 7 b はシフトレジスタ 2 3 0 の各出力段における論理内容の反転論理内容と定数設定レジスタ 1 3 7 a の各ビットの論理内容を論理和する第二の論理ゲート素子、2 3 8 b はこの論理ゲート素子 2 3 1 b ~ 2 3 7 b の出力を結合する論理積素子であり、この論理積素子 2 3 8 b の出力によって入力確定レジスタ 2 3 9 がリセットされるように構成されている。

#### 【 0 0 3 7 】

このように構成された可変フィルタ回路 1 3 3 a において、シフトレジスタ 2 3 0 の各出力段の内容が全て論理「1」であれば論理積素子 2 3 8 a の出力によって入力確定レジスタ 2 3 9 の出力は論理 1 にセットされることになる。

但し、定数設定レジスタ 1 3 7 a の一部の内容が論理「1」であれば、これに対応したシフトレジスタ 2 3 0 の出力段の論理内容は「0」であっても差し支えない。

#### 【 0 0 3 8 】

従って、図 2 の例ではシフトレジスタ 2 3 0 の初段から第五段までの論理内容が全て「1」であれば入力確定レジスタ 2 3 9 の出力は論理「1」にセットされることとなる。

また、シフトレジスタ 2 3 0 の各出力段の内容が全て論理「0」であれば論理積素子 2 3 8 b の出力によって入力確定レジスタ 2 3 9 の出力は論理 0 にリセッ

トされることになる。

但し、定数設定レジスタ 1 3 7 a の一部の内容が論理「1」であれば、これに対応したシフトレジスタ 2 3 0 の出力段の論理内容は「1」であっても差し支えない。

#### 【 0 0 3 9 】

従って、図 2 の例ではシフトレジスタ 2 3 0 の初段から第五段までの論理内容が全て「0」であれば入力確定レジスタ 2 3 9 の出力は論理「0」にリセットされることとなる。

このように、入力確定レジスタ 2 3 9 の出力内容を決定するための論理判定点数は定数設定レジスタ 1 3 7 a の内容によって可変設定されるよう構成されている。

なお、上記のとおり論理判定点数を可変設定する代わりに、クロックジェネレータ 1 2 7 a のパルス周期を可変設定するようにしても良い。

#### 【 0 0 4 0 】

図 3 は図 1 における可変フィルタ回路 1 3 6 a の説明用等価回路とその周辺回路を示すものである。

図において、1 3 5 はアナログ入力信号  $AN_m$  に対するノイズフィルタであり、このノイズフィルタ 1 3 5 は正側クリップダイオード 3 0 0、負側クリップダイオード 3 0 1、直列抵抗 3 0 2、並列小容量コンデンサ 3 0 3 によって構成されている。

クリップダイオード 3 0 0、3 0 1 はアナログ入力信号  $AN_m$  に過大なノイズが重畳された時に、このノイズ電圧を電源の正負回路に環流させて、想定されるアナログ信号の最大・最小値を超える電圧を小容量コンデンサ 3 0 3 に印加しないようにするためのものである。

また、 $AN_m$  端子に接続される図示しないアナログセンサが相応の内部抵抗を持っている場合には、直列抵抗 3 0 2 は省略することもできる。

#### 【 0 0 4 1 】

可変フィルタ回路 1 3 6 a を構成するコンデンサ 3 1 3 (容量  $C_0$ ) は切換スイッチ 3 1 2 によって周期的に信号側 S 1 または出力側 S 2 に切換えられ、その

切換周期Tはクロックジェネレータ127bの各種分周出力を定数設定レジスタ137bによって選択設定された値となっている。

なお、314aから314dは選択ゲート用の論理積素子、314はこの論理積素子314aから314dの出力を結合する論理和素子であり、この論理和素子314の出力が切換スイッチ312に対する切換周期Tとなっている。

信号側S1には小容量コンデンサ303の両端電圧V1が増幅器310を介して印加され、出力側S2には出力コンデンサ315（容量C）が接続されて、このコンデンサ315の両端電圧V2は増幅器316と図1のAD変換器138を介してデジタル値に変換され、ラッチメモリ139に格納されるようになっている。

なお、311a、331bおよび317a、317bはそれぞれ増幅器310、316の出力を当該増幅器の反転入力に接続した帰還回路抵抗である。

#### 【0042】

このように構成された可変フィルタ回路136aにおいて、コンデンサ313の容量C0に対する充放電抵抗が充分小さい時には以下のような関係式が成立する。

$$S1側でのコンデンサ313の蓄積電荷 \quad Q1 = C0 \times V1$$

$$S2側でのコンデンサ313の蓄積電荷 \quad Q2 = C0 \times V2$$

$$T秒間での移動電荷 \quad Q = Q1 - Q2 = C0 \times (V1 - V2)$$

$$T秒間での平均電流 \quad I = Q / T = C0 \times (V1 - V2) / T$$

$$\text{等価抵抗} \quad R0 = (V1 - V2) / I = T / C0$$

従って、上記のような可変フィルタ回路136aは、直列抵抗RA（=R0）と出力コンデンサCAによるRCフィルタと等価であり、直列抵抗RAは切換周期Tに比例して大きな値となるものであるが、切換周期Tは定数設定レジスタ137bの内容によって可変切換することができるようになっている。

#### 【0043】

次に、動作について説明する。

まず、シリアル通信のデータ伝送フレーム構成を示す図4a～図4fについて説明する。

図 4 a は不揮発メモリ 1 1 2 に格納されているフィルタ定数をマイクロプロセッサ 1 1 1、直並列変換器 1 1 6、1 2 6 を介して第二 L S I 1 2 0 内の定数設定レジスタ 1 3 7 a や 1 3 7 b に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ 1 1 1 側の送信データ、下段は第二 L S I 1 2 0 側の返信データとなっている。

## 【 0 0 4 4 】

図 4 a において、4 0 0 は送信開始フレーム S T X、コマンドフレーム C O M 1、間接 O N / O F F 入力信号 I N s 1 ~ I N s n に対応したフィルタ定数フレーム D F 1 ~ D F n、間接アナログ入力信号 A N 1 ~ A N m に対応したフィルタ定数フレーム A F 1 ~ A F m、送信終了フレーム E T X、サムデータフレーム S U M によって構成された定数送信フレーム構成を示したものである。

## 【 0 0 4 5 】

送信開始フレーム S T X は図 4 f に示すとおり、例えば 1 6 進数で 5 5 の値を持つ 8 ビットのデータとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成されている。

同様に、コマンドフレーム C O M 1 は図 4 f に示すとおり、例えば 1 6 進数で 1 0 の値を持つ 8 ビットのデータとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成されている。

## 【 0 0 4 6 】

また、各フィルタ定数フレーム D F 1 ~ D F n、A F 1 ~ A F m も 8 ビットのフィルタ定数データとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成されている。

送信終了フレーム E T X は図 4 f に示すとおり、例えば 1 6 進数で A A の値を持つ 8 ビットのデータとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成されている。

## 【 0 0 4 7 】

また、サムデータフレーム S U M は上記一連のフレームの各ビットの垂直ビット加算値（桁上を行わないバイナリ加算値）である 8 ビットのデータとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成

されている。

4 0 1 は送信開始フレーム S T X、受信確認フレーム A C K、送信終了フレーム E T X、サムデータフレーム S U M によって構成された受信確認のフレーム構成を示したものであり、受信確認フレーム A C K は図 4 f に示すとおり、例えば 1 6 進数で 8 1 の値を持つ 8 ビットのデータとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成されている。

送信終了フレーム E T X やサムデータフレーム S U M、或いは送信開始フレーム S T X は上記と同様であり、以下の説明は省略する。

#### 【 0 0 4 8 】

各フレームの各ビット情報は直並列変換器 1 1 6 で並列→直列変換されて直並列変換器 1 2 6 に送信され、直並列変換器 1 2 6 では 1 フレーム毎に直列→並列変換を行って、1 フレームの受信完了信号をバッファメモリ 1 2 1 に供給し、このタイミングで受信した 1 フレームのデータがバッファメモリ 1 2 1 に格納される。

#### 【 0 0 4 9 】

バッファメモリ 1 2 1 は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。

一方、データチェック回路 1 2 2 a は 1 フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ 1 1 1 が送信した S T X から S U M までの全フレームの加算結果が全て 0 となれば正常、1 が含まれておれば受信データの異常と判定する。

#### 【 0 0 5 0 】

受信データが正常であれば確認応答用データレジスタ 1 2 2 b 内に書込まれている S T X、A C K、E T X、S U M のフレームデータは直並列変換器 1 2 6、1 1 6 を介してマイクロプロセッサ 1 1 1 に送信され、これが図 4 a における受信確認フレーム構成 4 0 1 で示されている。

但し、受信データが異常であった場合には、確認応答フレーム A C K の内容は例えば図 4 f で示す 1 6 進数 8 2 （N A C K）に変更され、これを受信したマイクロプロセッサ 1 1 1 は再度フィルタ定数の送信を行う等の処置を行うものである。

る。

受信データが正常であれば、コマンドデコーダ 1 2 3 はコマンドフレーム C O M 1 の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路 1 2 4 の所定位置に論理「1」を書込むが、この所定位置は多数の定数設定レジスタ 1 3 7 a、1 3 7 b の先頭レジスタを指定するものである。

#### 【 0 0 5 1 】

クロックジェネレータ 1 2 7 はアドレス選択回路 1 2 4 を構成するシフトレジスタに順次シフト信号を供給し、これによって多数の定数設定レジスタ 1 3 7 a、1 3 7 b の一つが順次選択されてデータバス 1 2 8 に接続される。

この選択操作と同期して、バッファメモリ 1 2 1 に格納されているフィルタ定数が順次読み出されてデータバス 1 2 8 に接続され、選択されている定数設定レジスタ 1 3 7 a、1 3 7 b の一つにフィルタ定数の書込みが行われるものである

#### 【 0 0 5 2 】

図 4 b は第二 L S I 1 2 0 内の間接入力信号情報を直並列変換器 1 2 6、1 1 6、マイクロプロセッサ 1 1 1 を介して R A M メモリ 1 1 3 に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ 1 1 1 側の送信データ、下段側は第二 L S I 1 2 0 側の返信データとなっている。

図 4 b において、4 0 2 は送信開始フレーム S T X、コマンドフレーム C O M 2、送信終了フレーム E T X、サムデータフレーム S U M によって構成された入力情報送信要求のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む 1 1 ビットデータであると共に、入力情報送信要求コマンド C O M 2 は例えば図 4 f で示すとおり 1 6 進数で 2 0、2 1、2 2、2 3 の 4 種類のものがある。

これは、多数の入力情報を 4 グループに分割して送信するためのものであり、全入力情報を一括して送信するものとすれば 1 種類のコマンドであれば良い。

#### 【 0 0 5 3 】

4 0 3 は送信開始フレーム S T X、コマンドフレーム C O M 3、間接 O N / O F F 入力信号 I N s 1 ~ I N s n を 8 点単位でまとめたデジタル入力フレーム D I G 1、D I G 2、D I G 3、間接アナログ入力信号 A N 1 ~ A N m の一部に対

応したデジタル変換フレームA I 1～A I 5、送信終了フレームE T X、サムデータフレームS U Mによって構成された入力情報返信フレーム構成を示したものであり、コマンドフレームC O M 3は図4 fに示すとおり、例えば16進数で30、31、32、33の値を持つ8ビットのデータとスタートビット、パリティビット、ストップビットを含む合計11ビットのデータで構成されていて、コマンドフレームC O M 3の内容はコマンドフレームC O M 2に対応した値となっている。

#### 【0054】

なお、デジタル入力フレームD I G 1、D I G 2、D I G 3の個数は間接O N / O F F入力信号I N s 1～I N s nの点数に応じて変化するが、現実の用途では24点/3フレーム分あれば充分である。

また、間接アナログ入力信号A N 1～A N mも現実の用途では29点/29フレーム以下のレベルであって、合計すれば32フレーム分以下となるので、これを4グループに分割すれば8フレーム単位で返信すれば良いことになる。

従って、コマンドフレームC O M 2が20、21、22、23であればコマンドフレームC O M 3は30、31、32、33となり、これに続く返信入力情報はD I G 1～A I 5、A I 6～A I 13、A I 14～A I 21、A I 22～A I 29のアドレス範囲となっている。

#### 【0055】

入力情報送信要求のフレーム構成402で示した各フレームの各ビット情報は直並列変換器116で並列→直列変換されて直並列変換器126に送信され、直並列変換器126では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をバッファメモリ121に供給し、このタイミングで受信した1フレームのデータがバッファメモリ121に格納される。

#### 【0056】

バッファメモリ121は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。

一方、データチェック回路122aは1フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マ

マイクロプロセッサ 1 1 1 が送信した S T X から S U M までの全フレームの加算結果が全て 0 となれば正常、1 が含まれておれば受信データの異常と判定する。

## 【 0 0 5 7 】

受信データが正常であれば、コマンドデコーダ 1 2 3 はコマンドフレーム C O M 2 の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路 1 2 4 の所定位置に論理「1」を書込むが、この所定位置は多数の入力用データセクタ 1 4 0 a、1 4 0 b の先頭データセクタを指定するものである。

クロックジェネレータ 1 2 7 はアドレス選択回路 1 2 4 を構成するシフトレジスタに順次シフト信号を供給し、これによって多数の入力用データセクタ 1 4 0 a、1 4 0 b の一つが順次選択されてデータバス 1 2 8 に接続される。

## 【 0 0 5 8 】

この選択操作と同期して、各フレームの各ビット情報は直並列変換器 1 2 6 で並列→直列変換されて直並列変換器 1 1 6 に送信され、直並列変換器 1 1 6 では 1 フレーム毎に直列→並列変換を行って、1 フレームの受信完了信号をマイクロプロセッサ 1 1 1 に供給し、このタイミングで受信した 1 フレームのデータが R A M メモリ 1 1 3 に格納される。

## 【 0 0 5 9 】

なお、実際には図示しない送信バッファメモリを設け、このバッファメモリ内にマイクロプロセッサ 1 1 1 に送信すべき各入力情報を格納しておくと共に、これらの入力情報の前後では、送信開始フレーム S T X、入力情報返信案内コマンド C O M 3、送信終了フレーム E T X やサムデータフレーム S U M を付加したり、各入力情報にはスタートビット、パリティビット、ストップビットが付加しておいて、その送信バッファメモリの内容をアドレス選択回路 1 2 4 の動作に応じて順次直並列変換器 1 2 6、1 1 6 を介してマイクロプロセッサ 1 1 1 に送信するものである。

また、マイクロプロセッサ 1 1 1 からの入力情報送信要求フレーム 4 0 2 のサムチェック操作に異常であった場合には、入力情報の返信に替わって確認応答 N A C K が返信され、これを受信したマイクロプロセッサ 1 1 1 は再度入力情報送信要求フレーム 4 0 2 の送信を行う等の処置を行うものである。

## 【 0 0 6 0 】

図 4 c は R A M メモリ 1 1 3 内に格納されている間接出力情報をマイクロプロセッサ 1 1 1、直並列変換器 1 1 6、1 2 6 を介して第二 L S I 1 2 0 内の出力ラッチメモリ 1 2 5 に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ 1 1 1 側の送信データ、下段側は第二 L S I 1 2 0 側の返信データとなっている。

## 【 0 0 6 1 】

図 4 c において、4 0 4 は送信開始フレーム S T X、出力情報送信案内コマンドフレーム C O M 4、間接出力 O U T s 1 ~ O U T s k を 8 点単位でまとめたデジタル出力フレーム D O G 1、送信終了フレーム E T X、サムデータフレーム S U M によって構成された出力情報送信案内のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む 1 1 ビットデータであると共に、出力情報送信案内コマンド C O M 4 は例えば図 4 f で示すとおり 1 6 進数で 4 0 の値を持つものである。

なお、コマンド C O M 4 に続くデジタル出力フレーム D O G 1 の個数は、間接出力 O U T s 1 ~ O U T s k の点数によって変化するものである。

## 【 0 0 6 2 】

4 0 1 は送信開始フレーム S T X、受信確認フレーム A C K、送信終了フレーム E T X、サムデータフレーム S U M によって構成された受信確認のフレーム構成を示したものである。

出力情報送信案内フレーム構成 4 0 4 の各フレームの各ビット情報は直並列変換器 1 1 6 で並列→直列変換されて直並列変換器 1 2 6 に送信され、直並列変換器 1 2 6 では 1 フレーム毎に直列→並列変換を行って、1 フレームの受信完了信号をバッファメモリ 1 2 1 に供給し、このタイミングで受信した 1 フレームのデータがバッファメモリ 1 2 1 に格納される。

## 【 0 0 6 3 】

バッファメモリ 1 2 1 は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。

一方、データチェック回路 1 2 2 a は 1 フレームのデータを受信する都度に、

各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

#### 【0064】

受信データが正常であれば確認応答用データレジスタ122b内に書込まれているSTX、ACK、ETX、SUMのフレームデータは直並列変換器126、116を介してマイクロプロセッサ111に送信され、これが図4cにおける受信確認フレーム構成401で示されている。

但し、受信データが異常であった場合には、確認応答フレームACKの内容は例えば図4fで示す16進数82（NACK）に変更され、これを受信したマイクロプロセッサ111は再度フィルタ定数の送信を行う等の処置を行うものである。

#### 【0065】

受信データが正常であれば、コマンドデコーダ123はコマンドフレームCOM4の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の出力ラッチメモリ125の先頭ラッチメモリを指定するものである。（但し、図4cの例では出力ラッチメモリは1個となっている）

クロックジェネレータ127はアドレス選択回路124を構成するシフトレジスタに順次シフト信号を供給し、これによって多数の出力ラッチメモリ125の一つが順次選択されてデータバス128に接続される。

この選択操作と同期して、バッファメモリ121に格納されている間接出力情報が順次読み出されてデータバス128に接続され、選択されている出力ラッチメモリ125の一つに間接出力情報の書込みが行われるものである。

#### 【0066】

図4dは第二LSI120内の特定の間接入力信号情報の内容を直並列変換器126、116、マイクロプロセッサ111を介してRAMメモリ113に送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ111側の送信データ、下段側は第二LSI120側の返信データとなっ

ている。

#### 【 0 0 6 7 】

図 4 d において、4 0 6 は送信開始フレーム S T X、コマンドフレーム C O M 5、アドレスフレーム A D R 1、送信終了フレーム E T X、サムデータフレーム S U M によって構成された特定入力情報送信要求のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む 1 1 ビットデータであると共に、特定入力情報送信要求コマンド C O M 5 は例えば図 4 f で示すとおり 1 6 進数で 5 0 の値を持つものである。

#### 【 0 0 6 8 】

4 0 7 は送信開始フレーム S T X、コマンドフレーム C O M 6、アドレスフレーム A D R 1、指定されたアドレスの間接入力情報フレーム D A T A、送信終了フレーム E T X、サムデータフレーム S U M によって構成された特定入力情報返信フレーム構成を示したものであり、コマンドフレーム C O M 5、C O M 6 は図 4 f に示すとおり、例えば 1 6 進数で 5 0、6 0 の値を持つ 8 ビットのデータとスタートビット、パリティビット、ストップビットを含む合計 1 1 ビットのデータで構成されている。

なお、アドレスフレーム A D R 1 の内容はデジタル入力フレーム D I G 1 ～ D I G 3、デジタル変換フレーム A I 1 ～ A I m を例えば 0 ～ 3 1 等の連番で呼称した数値となっている。

#### 【 0 0 6 9 】

特定入力情報送信要求のフレーム構成 4 0 6 で示した各フレームの各ビット情報は直並列変換器 1 1 6 で並列→直列変換されて直並列変換器 1 2 6 に送信され、直並列変換器 1 2 6 では 1 フレーム毎に直列→並列変換を行って、1 フレームの受信完了信号をバッファメモリ 1 2 1 に供給し、このタイミングで受信した 1 フレームのデータがバッファメモリ 1 2 1 に格納される。

#### 【 0 0 7 0 】

バッファメモリ 1 2 1 は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。

一方、データチェック回路 1 2 2 a は 1 フレームのデータを受信する都度に、

各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ111が送信したSTXからSUMまでの全フレームの加算結果が全て0となれば正常、1が含まれておれば受信データの異常と判定する。

#### 【0071】

受信データが正常であれば、コマンドデコーダ123はコマンドフレームCOM5の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路124の所定位置に論理「1」を書込むが、この所定位置は多数の入力用データセクタ140a、140bの内アドレスフレームADR1で指定された番号のデータセクタを指定するものである。

この指定操作と同期して、各フレームの各ビット情報は直並列変換器126で並列→直列変換されて直並列変換器116に送信され、直並列変換器116では1フレーム毎に直列→並列変換を行って、1フレームの受信完了信号をマイクロプロセッサ111に供給し、このタイミングで受信した1フレームのデータがRAMメモリ113に格納される。

#### 【0072】

但し、これらの入力情報の返信に前後では、送信開始フレームSTX、特定入力情報返信案内コマンドCOM6、送信終了フレームETXやサムデータフレームSUM等が付加されると共に、各入力情報にはスタートビット、パリティビット、ストップビットが付加されるものである。

また、マイクロプロセッサ111からの特定入力情報送信要求フレーム406のサムチェック操作に異常であった場合には、特定入力情報の返信に替わって確認応答NACKが返信され、これを受信したマイクロプロセッサ111は再度特定入力情報送信要求フレーム406の送信を行う等の処置を行うものである。

なお、特定入力情報送信要求コマンドCOM5は、多数の間接入力の中で比較的高頻度に入力情報が変化するものに関して、マイクロプロセッサ111との通信頻度を高めることができるようにしたものである。

#### 【0073】

図4eは不揮発メモリ112内に格納されている特定フィルタ定数をマイクロプロセッサ111、直並列変換器116・126を介して第二LSI120内の

定数設定レジスタ 1 3 7 a や 1 3 7 b の内の特定の定数設定レジスタに送信するためのデータ伝送フレーム構成を示したものであり、上段側はマイクロプロセッサ 1 1 1 側の送信データ、下段側は第二 L S I 1 2 0 側の返信データとなっている。

## 【 0 0 7 4 】

図 4 e において、4 0 8 は送信開始フレーム S T X、特定定数送信案内コマンドフレーム C O M 7、アドレスフレーム A D R 2、指定アドレスに対するフィルタ定数フレーム D A T A、送信終了フレーム E T X、サムデータフレーム S U M によって構成された特定定数送信案内のフレーム構成を示したものであり、各フレームはスタートビット、パリティビット、ストップビットを含む 1 1 ビットデータであると共に、特定定数送信案内コマンド C O M 7 は例えば図 4 f で示すとおり 1 6 進数で 7 0 の値を持つものである。

## 【 0 0 7 5 】

4 0 1 は送信開始フレーム S T X、受信確認フレーム A C K、送信終了フレーム E T X、サムデータフレーム S U M によって構成された受信確認のフレーム構成を示したものである。

特定定数送信案内フレーム構成 4 0 8 の各フレームの各ビット情報は直並列変換器 1 1 6 で並列→直列変換されて直並列変換器 1 2 6 に送信され、直並列変換器 1 2 6 では 1 フレーム毎に直列→並列変換を行って、1 フレームの受信完了信号をバッファメモリ 1 2 1 に供給し、このタイミングで受信した 1 フレームのデータがバッファメモリ 1 2 1 に格納される。

## 【 0 0 7 6 】

バッファメモリ 1 2 1 は先入れ先出し構造のデータテーブルとなっていて、全てのフレームデータが順次格納されるようになっている。

一方、データチェック回路 1 2 2 a は 1 フレームのデータを受信する都度に、各ビットの垂直ビット加算（桁上げを伴わないバイナリ加算）を行っており、マイクロプロセッサ 1 1 1 が送信した S T X から S U M までの全フレームの加算結果が全て 0 となれば正常、1 が含まれておれば受信データの異常と判定する。

## 【 0 0 7 7 】

受信データが正常であれば確認応答用データレジスタ 1 2 2 b 内に書込まれている STX、ACK、ETX、SUM のフレームデータは直並列変換器 1 2 6、1 1 6 を介してマイクロプロセッサ 1 1 1 に送信され、これが図 4 e における受信確認フレーム構成 4 0 1 で示されている。

但し、受信データが異常であった場合には、確認応答フレーム ACK の内容は例えば図 4 f で示す 1 6 進数 8 2 (NACK) に変更され、これを受信したマイクロプロセッサ 1 1 1 は再度フィルタ定数の送信を行う等の処置を行うものである。

#### 【 0 0 7 8 】

受信データが正常であれば、コマンドデコーダ 1 2 3 はコマンドフレーム COM 7 の内容を判断してビットシフトレジスタによって構成されたアドレス選択回路 1 2 4 の所定位置に論理「1」を書込むが、この所定位置は多数の定数設定レジスタ 1 3 7 a や 1 3 7 b の内の特定のレジスタを指定するものである。

この指定操作と同期して、バッファメモリ 1 2 1 に格納されているフィルタ定数が読み出されてデータバス 1 2 8 に接続され、選択されている定数設定レジスタ 1 3 7 a、1 3 7 b の一つにフィルタ定数の書込みが行われるものである。

#### 【 0 0 7 9 】

なお、図 4 a や図 4 e で示したフィルタ定数の転送において、不揮発メモリ 1 1 2 に格納されているフィルタ定数は RAM メモリ 1 1 3 を経由して第二 L S I 1 2 0 内の定数設定レジスタ 1 3 7 a、1 3 7 b に送信されるのが実態であり、このようにしてフィルタ定数が格納されている RAM メモリ 1 1 3 の一部の内容は、マイクロプロセッサ 1 1 1 の運転中において学習補正され、この学習補正された特定アドレスのフィルタ定数が図 4 e の特定定数送信案内コマンド COM 7 によって特定の定数設定レジスタに送信されるものである。

#### 【 0 0 8 0 】

図 5 はマイクロプロセッサ 1 1 1 の動作説明用フローチャートである。

図において、5 0 0 は定期的に活性化される動作開始工程、5 0 1 は動作開始工程 5 0 0 に続いて作用し、車載電子制御装置 1 0 0 に電源が投入されてから最初の動作であるかどうかを判定する工程、5 0 2 は工程 5 0 1 が初回動作である

と判定した時に作用し、不揮発メモリ 1 1 2 に格納されているフィルタ定数を R A M メモリ 1 1 3 の所定領域に転送する工程、5 0 3 は図 4 a に示したフレーム構成 4 0 0 で R A M メモリ 1 1 3 に転送されたフィルタ定数を送信する工程、5 0 4 は図示しない通信時間監視タイマを起動する工程、5 0 5 は図 4 a に示したフレーム構成 4 0 1 を受信してその内容が正常受信確認 A C K であるか受信異常 N A C K であるかを判定する工程、5 0 6 は工程 5 0 5 が正常受信 A C K であると判定した時に作用し、工程 5 0 4 で起動されていた監視タイマをリセットする工程である。

## 【 0 0 8 1 】

なお、工程 5 0 5 が受信異常 N A C K であった時には再度工程 5 0 3 に復帰してフィルタ定数の再送が行われるが、再び正常受信確認 A C K が得られない時には工程 5 0 4 で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ 1 1 1 のリセット操作が行われるようになっている。

また、5 0 7 は第二 L S I 1 2 0 側で正常受信したフィルタ定数を定数設定レジスタ 1 3 7 a や 1 3 7 b に格納する動作を参考記述したものである。

## 【 0 0 8 2 】

5 1 0 は工程 5 0 1 が初回動作では無いと判定した時に作用し、R A M メモリ 1 1 3 に格納されているフィルタ定数の一部が学習補正されているかどうかを図示しないフラグの内容をチェックすることによって判定する工程、5 1 1 は工程 5 1 0 が学習補正有りと判定した時に作用し、図 4 e に示したフレーム構成 4 0 8 で R A M メモリ 1 1 3 に転送されたフィルタ定数を送信する工程、5 1 2 は図示しない通信時間監視タイマを起動する工程、5 1 3 は図 4 e に示したフレーム構成 4 0 1 を受信してその内容が正常受信確認 A C K であるか受信異常 N A C K であるかを判定する工程、5 1 4 は工程 5 1 3 が正常受信 A C K であると判定した時に作用し、工程 5 1 2 で起動されていた監視タイマをリセットする工程である。

## 【 0 0 8 3 】

なお、工程 5 1 3 が受信異常 N A C K であった時には再度工程 5 1 1 に復帰し

てフィルタ定数の再送が行われるが、再び正常受信確認ACKが得られない時には工程512で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。

また、515は第二LSI120側で正常受信したフィルタ定数を定数設定レジスタ137aや137bのどれか指定されたアドレスのものに格納する動作を参考記述したものである。

#### 【0084】

520は工程510が学習補正無しと判定した時に作用し、特定入力情報の必要性を判定する工程、521は工程520が特定入力を必要と判定した時に作用し、図4dに示したフレーム構成406で特定アドレスの入力情報を送信要求工程、522は図示しない通信時間監視タイマを起動する工程、523aは図4dに示したフレーム構成407に替わって受信異常NACKを受信したかどうかを判定する工程、523bは受信異常NACKに替わってフレーム構成407を受信し、受信データのサムチェック結果を判定して正常受信であったかどうかを判定する工程、524は工程523bが正常受信であると判定した時に作用し、工程522で起動されていた監視タイマをリセットする工程、525は受信した入力情報をRAMメモリ123に格納する工程である。

#### 【0085】

なお、工程523aが受信異常NACKであった時や工程523bにサムチェックエラーがあった時には再度工程521に復帰して特定入力情報の再送要求が行われるが、再び正常受信ができない時には工程522で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ111のリセット操作が行われるようになっている。

また、工程520では図示しない制御フローチャートに基づいてマイクロプロセッサ111がエンジンコントロールを実行する過程において、最新の特定入力情報を必要とする場合などに図示しないフラグがセットされるようになっていて、このフラグがセットされているかどうかを工程520で判定するものである。

#### 【0086】

5 3 0 は工程 5 2 0 が特定入力必要無しと判定した時に作用し、第一グループ入力情報を送信要求するかどうかを判定する工程、5 3 1 は工程 5 3 0 が第一グループの入力情報を送信要求すると判定した時に作用し、図 4 b に示したフレーム構成 4 0 2 で第一グループの入力情報を送信要求する工程、5 3 2 は図示しない通信時間監視タイマを起動する工程、5 3 3 a は図 4 b に示したフレーム構成 4 0 3 に替わって受信異常 N A C K を受信したかどうかを判定する工程、5 3 3 b は受信異常 N A C K に替わってフレーム構成 4 0 3 を受信し、受信データのサムチェック結果を判定して正常受信であったかどうかを判定する工程、5 3 4 は工程 5 3 3 b が正常受信であると判定した時に作用し、工程 5 3 2 で起動されていた監視タイマをリセットする工程、5 3 5 は受信した入力情報を R A M メモリ 1 2 3 に格納する工程、5 3 6 は第一グループの入力情報を正常受信したことを記憶するフラグ 0 の設定工程である。

## 【 0 0 8 7 】

なお、工程 5 3 3 a が受信異常 N A C K であった時や工程 5 3 3 b にサムチェックエラーがあった時には再度工程 5 3 1 に復帰して第一グループの入力情報数の再送要求が行われるが、再び正常受信ができない時には工程 5 3 2 で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ 1 1 1 のリセット操作が行われるようになっている。

## 【 0 0 8 8 】

また、工程 5 3 0 を初めて実行する時には、工程 5 3 6 によるフラグ 0 がまだセットされていないので、工程 5 3 0 の判定は N O となっているが、次回に工程 5 3 0 を実行した時は Y E S の判定となり工程 5 3 0 から図示しない工程 5 4 0 へ直接移行して図示しない第二グループの入力情報を送信要求するフローが実行されるようになっている。

同様にして、第三グループの入力情報の送信要求・受信がおこなわれる。

## 【 0 0 8 9 】

5 6 0 は図示しない工程 5 5 0 が第三グループの入力を必要無しと判定した時（フラグ 2 が既にセットされている）に作用し、第四グループ入力情報を送信要求するかどうかを判定する工程、5 6 1 は工程 5 6 0 が第四グループの入力情報

を送信要求すると判定した時に作用し、図 4 b に示したフレーム構成 4 0 2 で第四グループの入力情報を送信要求する工程、5 6 2 は図示しない通信時間監視タイマを起動する工程、5 6 3 a は図 4 b に示したフレーム構成 4 0 3 に替わって受信異常 NACK を受信したかどうかを判定する工程、5 6 3 b は受信異常 NACK に替わってフレーム構成 4 0 3 を受信し、受信データのサムチェック結果を判定して正常受信であったかどうかを判定する工程、5 6 4 は工程 5 6 3 b が正常受信であると判定した時に作用し、工程 5 6 2 で起動されていた監視タイマをリセットする工程、5 6 5 は受信した入力情報を RAM メモリ 1 2 3 に格納する工程、5 6 6 は第四グループの入力情報を正常受信したことを記憶するフラグ 3 の設定工程である。

## 【 0 0 9 0 】

なお、工程 5 6 3 a が受信異常 NACK であった時や工程 5 6 3 b にサムチェックエラーがあった時には再度工程 5 6 1 に復帰して第四グループの入力情報の再送要求が行われるが、再び正常受信ができない時には工程 5 6 2 で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ 1 1 1 のリセット操作が行われるようになっている。

また、工程 5 6 0 を初めて実行する時には、工程 5 6 6 によるフラグ 3 がまだセットされていないので、工程 5 6 0 の判定は NO となっているが、次回に工程 5 6 0 を実行した時は YES の判定となり工程 5 6 0 から工程 5 7 1 へ直接移行するようになっている。

## 【 0 0 9 1 】

5 7 1 は図 4 c に示したフレーム構成 4 0 4 で出力情報を送信案内する工程、5 7 2 は図示しない通信時間監視タイマを起動する工程、5 7 3 は図 4 c に示したフレーム構成 4 0 1 で正常受信確認 ACK を受信したかどうかを判定する工程、5 7 4 は工程 5 7 3 が正常受信であると判定した時に作用し、工程 5 7 2 で起動されていた監視タイマをリセットする工程、5 7 6 は工程 5 3 6、5 4 6（図示せず）、5 5 6（図示せず）、5 6 6 でセットされたフラグ 0 ～ 3 をリセットする工程である。

## 【 0 0 9 2 】

なお、工程 5 7 3 が受信異常 N A C K であった時には再度工程 5 7 1 に復帰して出力情報の再送が行われるが、再び正常受信ができない時には工程 5 7 2 で起動されていた監視タイマがタイムアップし、図示しない異常処理回路によってマイクロプロセッサ 1 1 1 のリセット操作が行われるようになっている。

また、5 7 5 は第二 L S I 1 2 0 側で正常受信した出力情報を出力ラッチメモリ 1 2 5 に格納する動作を参考記述したものである。

#### 【 0 0 9 3 】

5 0 8 は工程 5 0 6、5 1 4、5 2 5、5 3 6、5 4 6（図示せず）、5 5 6（図示せず）、5 6 6、5 7 6 に続いて動作する動作終了工程であり、この工程 5 0 8 では動作開始工程 5 0 0 が再度活性化されるまで動作待機しているものである。

以上の動作フローを概括的に説明すると、第一フローとしての工程 5 0 2 ～ 5 0 6 は電源投入時の初期化フローであって、不揮発メモリ 1 1 2 に格納されているフィルタ定数が一斉に定数設定レジスタ 1 3 7 a、1 3 7 b に転送格納されるものである。

第二フローとしての工程 5 1 1 ～ 5 1 4 はフィルタ定数に変更があった時のみ動作して、該当アドレスの定数設定レジスタの内容を変更するものである。

第三フローとしての工程 5 2 1 ～ 5 2 5 は特定アドレスの入力情報を必要とする時のみ動作して、該当アドレスの入力情報を RAM メモリ 1 1 3 に格納するものである。

第四フローとしての工程 5 3 1 ～ 5 3 6 から第七フローとしての工程 5 6 1 ～ 5 6 6 は第一グループの入力情報 D I G 1、D I G 2、D I G 3、A I 1 ～ A I 5、第二グループの入力情報 A I 6 ～ A I 1 3、第三グループの入力情報 A I 1 4 ～ A I 2 1、第四グループの入力情報 A I 2 2 ～ A I 2 9 の送信要求を行って、RAM メモリ 1 2 3 に格納するものである。

#### 【 0 0 9 4 】

第八フローとしての工程 5 7 1 ～ 5 7 6 は出力情報 O U T s 1 ～ O U T s k を RAM メモリ 1 1 3 から出力ラッチメモリ 1 2 5 に送信するものである。

マイクロプロセッサ 1 1 1 の運転中において、フィルタ定数の変更送信や特定

入力情報の送信要求が無い時には、動作開始工程 5 0 0 が定期的に活性化される都度上記第四フローから第八フローが順次繰返して実行されることになるが、フィルタ定数の変更送信や特定入力情報の送信要求があれば、第二フローや第三フローが優先して実行されることになる。

#### 【 0 0 9 5 】

このように、本実施の形態では、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリと演算処理用の R A M メモリを備えたマイクロプロセッサ、このマイクロプロセッサのデータバスに接続された直接入力用インタフェース回路および直接出力用インタフェース回路、間接入力用インタフェース回路と定数設定レジスタを備えた可変フィルタ回路および通信制御回路等によって構成された集積回路、間接入力用インタフェース回路を介して入力された複数の外部入力信号を R A M メモリに送信すると共に、不揮発メモリに格納されたフィルタ定数を可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路を備えて構成されている。

従って、フィルタ用コンデンサの小型化による製品全体の小型化と、制御対象車種に応じた適正入力フィルタ定数の設定による製品の標準化を図ると共に、可変フィルタ回路を外部ハードウェアで構成することによってマイクロプロセッサの役割を低減してその性能低下を防止することができる。

#### 【 0 0 9 6 】

実施の形態 2 .

図 6 はこの発明の実施の形態 2 における O N / O F F 信号用の可変フィルタ回路を示すものである。

図において、前述の低抵抗のブリーダ抵抗 1 3 0 を備えた入力信号 I N s n は、実用可能な上限値である数百 K オームの高抵抗の直列抵抗 2 1 0 を介して十数 p F の並列小容量コンデンサ 2 1 1 に接続されている。

1 3 1 b は直列抵抗 2 1 0 と小容量コンデンサ 2 1 1 によって構成されたノイズフィルタであって、高周波ノイズを吸収平滑化するためのものとなっている。

1 3 2 b は入力抵抗 2 2 1、正帰還抵抗 2 2 3、比較器 2 2 0 によって構成されたレベル判定用比較器であり、比較器 2 2 0 の反転入力には所定の基準電圧 2

2 2 (電圧  $V_{on}$ ) が印加されている。

【 0 0 9 7 】

従って、小容量コンデンサ 2 1 1 の充電電圧が基準電圧  $V_{on}$  以上になると比較器 2 2 0 の出力は「H」（論理「1」）となるが、一旦比較器 2 2 0 の出力が「H」になると、正帰還抵抗 2 2 3 による入力加算が生じるために、小容量コンデンサ 2 1 1 の充電電圧が  $V_{off}$  ( $< V_{on}$ ) まで低下しなければ比較器 2 2 0 の出力は「L」（論理「0」）にはならないようにヒステリシス機能を持っている。

これは小容量コンデンサ 2 1 1 に重畳されたノイズリップルによって、高頻度に比較器 2 2 0 の出力が反転変化することを防止するためのものとなっている。

【 0 0 9 8 】

6 0 0 a は比較器 2 2 0 の出力と可逆カウンタ 6 0 2 のカウントアップモード入力 UP 間に接続されたゲート素子、6 0 1 は比較器 2 2 0 の出力からゲート素子 6 0 0 b を介して可逆カウンタ 6 0 2 のカウントダウンモード入力 DN に接続された論理反転素子であり、可逆カウンタ 6 0 2 は所定の周期で ON / OFF するクロックジェネレータ 1 2 7 c に接続されたクロック入力端子 CL を備えていて、モード入力 UP や DN に応じてクロック入力を可逆カウントするように構成されている。

【 0 0 9 9 】

6 0 3 a は論理判定点数  $N$  に相当する設定値が格納された定数設定レジスタ、6 0 3 b は可逆カウンタ 6 0 2 の現在値が格納された現在値レジスタ、6 0 4 a は可逆カウンタ 6 0 2 の現在値が設定値  $N$  に到達した時に論理「1」となる出力 Q によってゲート素子 6 0 0 a を閉鎖して、更なるカウントアップが行われないようにする論理反転素子、6 0 4 b は可逆カウンタ 6 0 2 の現在値が 0 になった時に論理「1」となる出力 P によってゲート素子 6 0 0 b を閉鎖して、更なるカウントダウンが行われないようにする論理反転素子、6 0 5 は可逆カウンタ 6 0 2 の設定値到達出力 Q によってセットされ、現在値 0 出力 P によってリセットされるフリップフロップ素子で構成された入力確定レジスタあり、この入力確定レジスタ 6 0 5 の出力が入力用データセクタ 1 4 0 a の入力端子に接続されてい

る。

#### 【 0 1 0 0 】

このように構成された可逆カウンタ 6 0 2 では、周期 T で動作するクロック入力 C L の入力パルス数が定数設定レジスタ 6 0 3 a の設定値 N に到達するまで継続的に比較器 2 2 0 の出力が「H」であれば入力確定レジスタ 6 0 5 がセットされるが、途中で比較器 2 2 0 の出力が「L」になればクロック入力を減算カウントし、再び比較器 2 2 0 の出力が「H」になった後に加算カウントが行われて、やがて現在値が設定値 N に到達すれば入力確定レジスタ 6 0 5 がセットされる。

#### 【 0 1 0 1 】

同様に、一旦入力確定レジスタ 6 0 5 がセットされると、周期 T で動作するクロック入力 C L の入力パルスによって現在値が設定値 N から 0 に減少するまで継続的に比較器 2 2 0 の出力が「L」であこの発明の請求項 1 による制御装置は、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリと演算処理用の R A M メモリを備えたマイクロプロセッサ、該マイクロプロセッサのデータバスに接続された直接入力用インタフェース回路および直接出力用インタフェース回路、間接入力用インタフェース回路と定数設定レジスタを備えた可変フィルタ回路および通信制御回路等によって構成された集積回路、上記間接入力用インタフェース回路を介して入力された複数の外部入力信号を上記 R A M メモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路を備えて構成されている。

#### 【 0 1 0 2 】

これはフィルタ用コンデンサの小型化による製品全体の小型化と、制御対象車種に応じた適正入力フィルタ定数の設定による製品の標準化を図ると共に、可変フィルタ回路を外部ハードウェアで構成することによってマイクロプロセッサの役割を低減してその性能低下を防止する手段を提供したものである。

れば入力確定レジスタ 6 0 5 がリセットされるが、途中で比較器 2 2 0 の出力が「H」になればクロック入力を加算カウントし、再び比較器 2 2 0 の出力が「L」になった後に減算カウントが行われ、やがて現在値が 0 に到達すれば入力確定

レジスタ 6 0 5 がリセットされる。

なお、上記のとおり可逆カウンタ 6 0 2 の設定値によって論理判定点数を可変設定する代わりに、クロックジェネレータ 1 2 7 c のパルス周期を可変設定するようにしても良い。

#### 【 0 1 0 3 】

実施の形態 3 .

図 7 はこの発明の実施の形態 3 におけるアナログ信号用の可変フィルタ回路を示すものである。

図において、1 3 5 はアナログ入力信号  $AN_m$  に対するノイズフィルタであり、このノイズフィルタ 1 3 5 は正側クリップダイオード 3 0 0、負側クリップダイオード 3 0 1、直列抵抗 3 0 2、並列小容量コンデンサ 3 0 3 によって構成されている。

#### 【 0 1 0 4 】

クリップダイオード 3 0 0、3 0 1 はアナログ入力信号  $AN_m$  に過大なノイズが重畳された時に、このノイズ電圧を電源の正負回路に環流させて、想定されるアナログ信号の最大・最小値を超える電圧を小容量コンデンサ 3 0 3 に印加しないようにするためのものである。

また、 $AN_m$  端子に接続される図示しないアナログセンサが相応の内部抵抗を持っている場合には直列抵抗 3 0 2 は省略することもできる。

#### 【 0 1 0 5 】

可変フィルタ回路 1 3 6 b を構成するコンデンサ 7 1 4 (容量  $C$ ) は定数設定レジスタ 1 3 7 c によって導通制御されるアナログゲートスイッチ 7 1 3 a ~ 7 1 3 d を介してフィルタ抵抗 7 1 2 a ~ 7 1 2 d から充電されるよう構成されており、その充電電圧は小容量コンデンサ 3 0 3 の両端電圧  $V_1$  を増幅器 7 1 0 で増幅した電圧  $V_1$  となっている。

また、コンデンサ 7 1 4 の両端電圧  $V_2$  は増幅器 7 1 5 を介して出力され、図 1 の AD 変換器 1 3 8 によってデジタル値に変換された後、ラッチメモリ 1 3 9 に格納されている。

#### 【 0 1 0 6 】

なお、711a、711bおよび716a、716bはそれぞれ増幅器710、715の出力を当該増幅器の反転入力に接続した帰還回路抵抗である。

従って、上記のような可変フィルタ回路136bは、フィルタ抵抗712a～712dの中でアナログゲートスイッチ713a～713dがONとなっている抵抗の並列合成抵抗RBとコンデンサCBによるRCフィルタと等価であり、並列合成抵抗RBは定数設定レジスタ137cの内容によって可変切換することができるようになっている。

#### 【0107】

実施の形態4.

図1で示した実施の形態では、アナログ出力が取扱われていないが、必要に応じてメータ表示用のDA変換器を間接出力として搭載することもできる。

なお、このようなアナログ出力やON/OFF動作の低速出力点数はあまり多くはない実態であることから、出力に関してはシリアル通信に依存することなく、全てマイクロプロセッサ111側のラッチメモリ115から直接出力するようにしても良い。

また、たとえ低速動作の入力信号であっても、エンジンの回転を維持するのに必要な最低限度の入力情報はシリアル通信に依存しないようにして、マイクロプロセッサ111に直接入力しておくことがフェールセーフ運転を行う上で重要である。

#### 【0108】

図1で示した実施の形態では、クロックジェネレータ127を第二LSI120内に設けたが、シリアル通信回線の中にクロック信号線を追加して、マイクロプロセッサ111側のクロック信号を用いて同期制御することもできるものと共に、図2・図3・図6内の各種クロックジェネレータは基本となるクロック信号の分周回路によって構成されるものである。

また、マイクロプロセッサ111側のデータバス118には、DMAC（ダイレクト・メモリ・アクセス・コントローラ）を接続し、マイクロプロセッサ111がデータバス118を用いていない内部演算期間において、直並列変換器116からの直並列変換完了信号に基づいてRAMメモリ113とのデータ授受を直

接行うようにすれば、シリアル通信に要する時間を短縮したり、マイクロプロセッサ 1 1 1 の負担を軽減することができるものである。

#### 【 0 1 0 9 】

##### 【発明の効果】

以上のように、請求項 1 の発明によれば、外部ツールから被制御車種対応の制御プログラムや制御定数等が書込まれる不揮発メモリ、および演算処理用の R A M メモリを有するマイクロプロセッサと、該マイクロプロセッサのデータバスに接続された直接入力用インタフェース回路および直接出力用インタフェース回路、間接入力用インタフェース回路、定数設定レジスタを含む可変フィルタ回路、および通信制御回路を有する集積回路と、上記間接入力用インタフェース回路を介して入力された複数の外部入力信号を上記 R A M メモリに送信すると共に、上記不揮発メモリに格納されたフィルタ定数を上記可変フィルタ回路の定数設定レジスタに送信する双方向シリアル通信回路とを備えたので、マイクロプロセッサの入出力ピン数が大幅に削減されて小型安価となると共に、入力フィルタ用に様々な容量の大容量コンデンサを使う必要がないので入力インタフェース回路部分の小型化・標準化が図れ、また、特に、被制御車種に対応した制御プログラムやフィルタ定数が不揮発メモリ内に一元的に設定されるので、自由度の高い標準化が達成でき、しかも、可変フィルタの制御は集積回路側で行われるので、マイクロプロセッサの負担を高めることがなく、マイクロプロセッサと集積回路部の機能分担により小型化・標準化が達成できるという効果がある。

#### 【 0 1 1 0 】

また、請求項 2 の発明によれば、上記間接入力用インタフェース回路の一部は、入力スイッチに対する負荷となる低抵抗のブリーダ抵抗、高抵抗の直列抵抗と小容量コンデンサからなるノイズフィルタ、およびヒステリシス機能を持ったレベル判定用比較器によって構成された O N / O F F 信号用のインタフェース回路であり、上記可変フィルタ回路は、所定の周期でサンプリング記憶された連続する複数のレベル判定結果の全てが正である時にセットされ、連続する複数のレベル判定結果の全てが否である時にリセットされる入力確定レジスタ、および上記サンプリング周期またはセット／リセットを行う論理判定点数の少なくとも一方

の値が格納された定数設定レジスタによって構成され、上記入力確定レジスタの出力は、上記RAMメモリに送信され、上記サンプリング周期またはセット／リセットを行う論理判定点数の少なくとも一方の値は上記不揮発メモリから上記定数設定レジスタに送信されるので、ON／OFF信号に対する入力インタフェース回路であるノイズフィルタとレベル判定用比較器によって高周波ノイズが除去され、以て、二段構えの可変フィルタによってフィルタ特性が向上し、可変フィルタ制御の負担も軽減されるという効果がある。

## 【0111】

また、請求項3の発明によれば、上記間接入力用インタフェース回路の一部は、正負のクリップダイオードと小容量コンデンサを含むノイズフィルタによって構成されたアナログ信号用のインタフェース回路であり、上記可変フィルタ回路は、切換スイッチにより周期的に充放電されるスイッチトキャパシタと充放電周期の値が格納された定数設定レジスタとによって構成され、上記スイッチトキャパシタの出力は、A／D変換器を介してデジタル変換され、該デジタル変換値が上記RAMメモリに送信され、上記充放電周期の値は上記不揮発メモリから上記定数設定レジスタに送信されるので、アナログ信号に対する入力インタフェース回路であるクリップダイオードとノイズフィルタによって高振幅ノイズ・高周波ノイズが除去され、以て、二段構えの可変フィルタによってフィルタ特性が向上し、可変フィルタ制御の負担も軽減されるという効果がある。

## 【0112】

また、請求項4の発明によれば、上記マイクロプロセッサの制御出力の一部は、上記双方向シリアル通信回路を介して送信された制御出力信号を記憶するラッチメモリと、該ラッチメモリの出力に接続された間接出力用インタフェース回路を介して外部負荷とに供給されるので、マイクロプロセッサの直接出力端子を削減して、マイクロプロセッサを一層小型・安価なものにできるという効果がある。

## 【0113】

また、請求項5の発明によれば、上記マイクロプロセッサのデータバスに供給される直接入力と直接出力は、エンジンの点火制御や燃料噴射制御等の高速応答

性が要求される入出力であり、上記双方向シリアル通信回路を介して上記マイクロプロセッサと交信される間接入力と間接出力は、手動操作信号、温度センサ、水温センサ等の低速・低頻度動作の入力信号または補機駆動出力、警報表示出力等の低速・低頻度動作の出力信号であるので、シリアル通信による応答遅れがあっても、全体制御の上で特段の問題が発生せず、多数の低速・低頻度動作の入力信号に対して確実なノイズ保護を行ったり、マイクロプロセッサの入出力端子数の削減・小型化が図れるという効果がある。

## 【 0 1 1 4 】

また、請求項 6 の発明によれば、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を上記各定数設定レジスタに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記 R A M メモリに送信するので、全体制御用のマイクロプロセッサの主導・指令のもとで、間接入力処理用集積回路は受動的にフィルタ定数の受信や入力情報の返信を行えばよく、以て、集積回路部分のハードウェア構成が単純化され、小型・安価なものになるという効果がある。

## 【 0 1 1 5 】

また、請求項 7 の発明によれば、上記マイクロプロセッサは、フィルタ定数送信案内コマンドに続くフィルタ定数と出力情報送信案内コマンドに続く間接出力情報または入力情報送信要求コマンドを上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数と間接出力情報を上記各定数設定レジスタとラッチメモリに格納すると共に入力情報返信案内コマンドに続く間接入力信号情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記 R A M メモリに送信するので、全体制御用のマイクロプロセッサの主導・指令のもとで、間接入出力処理用集積回路は受動的にフィルタ定数・間接出力情報の受信や入力情報の返信を行えばよく、以て、送受信データの種類が増加しても集積回路部分のハードウェア構成が単純化され、小型・安価なものになるという効果がある。

【 0 1 1 6 】

また、請求項 8 の発明によれば、上記マイクロプロセッサは、特定入力情報送信要求コマンドに続くアドレス情報を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、特定入力情報返信案内コマンドに続いて指定されたアドレスの間接入力情報を上記双方向シリアル通信回路、上記マイクロプロセッサを介して上記 R A M メモリに送信するので、マイクロプロセッサは特定の間接入力情報を随時取得することができ、以て、シリアル通信による応答遅れがあっても、特定間接入力 of 最新状態を監視することができるという効果がある。

【 0 1 1 7 】

さらに、請求項 9 の発明によれば、上記マイクロプロセッサは、特定定数送信案内コマンドに続くアドレス情報とフィルタ定数を上記双方向シリアル通信回路を介して上記集積回路に送信し、該集積回路は、受信したフィルタ定数を指定されたアドレスの定数設定レジスタに格納するので、マイクロプロセッサの運転動作中であっても、一部のフィルタ定数の変更が可能となり、学習制御等によるフィルタ定数の最適化制御が行え、また、マイクロプロセッサの運転中においては、多数のフィルタ定数を一括転送することは時間的に困難となるが、特定のフィルタ定数のみを送信することにより、この問題に対応することができるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 を示す全体のブロック回路図である。

【図 2】 図 1 における O N / O F F 信号用可変フィルタを示すブロック回路図である。

【図 3】 図 1 におけるアナログ信号用可変フィルタを示すブロック回路図である。

【図 4】 図 1 におけるシリアル通信フレーム構成を示す図である。

【図 5】 図 1 の動作説明用フローチャートである。

【図 6】 この発明の実施の形態 2 による O N / O F F 信号用可変フィルタを示すブロック回路図である。

【図 7】 この発明の実施の形態 3 によるアナログ信号用可変フィルタを示すブロック回路図である。

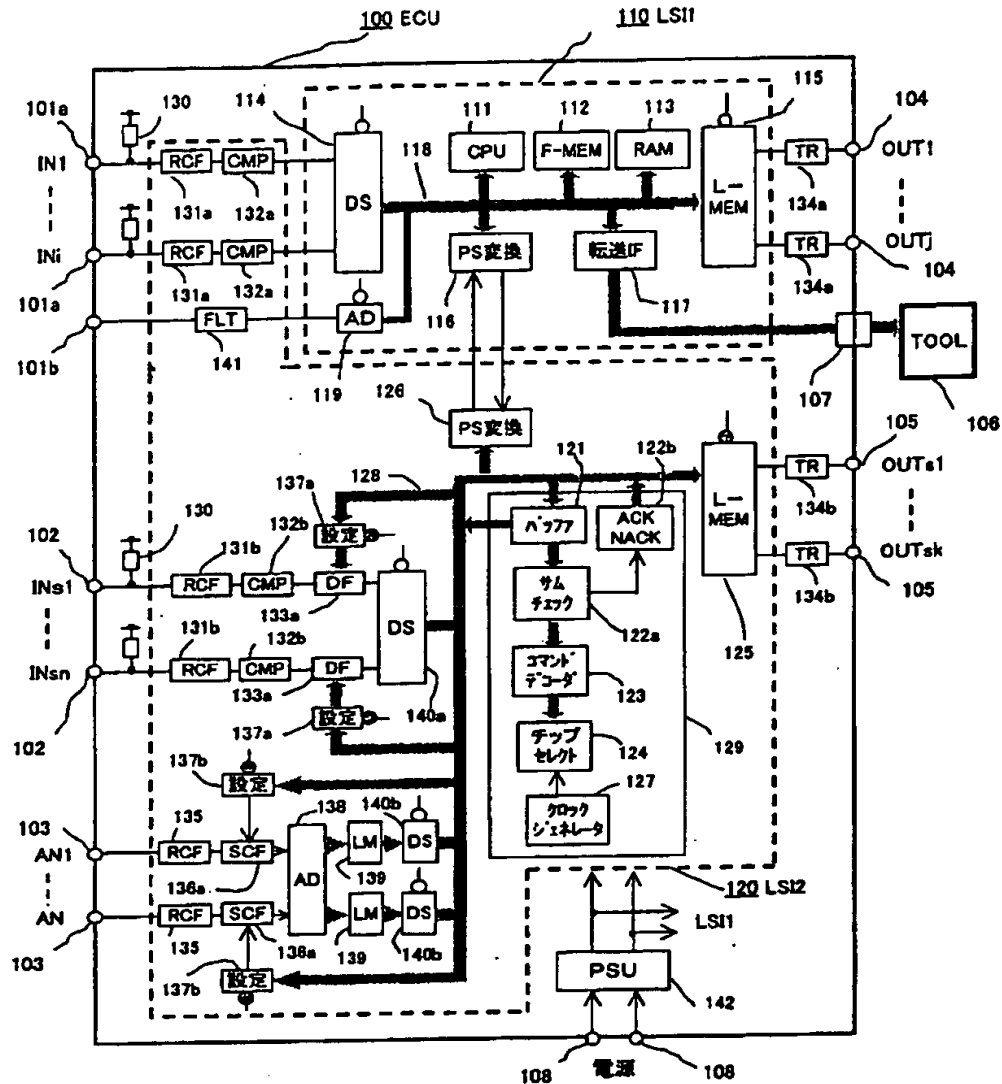
【図 8】 従来の電子制御装置の全体を示すブロック回路図である。

【符号の説明】

1 0 0 ECU（車載電子制御装置）、1 0 6 外部ツール、1 1 1 マイクロプロセッサ、1 1 2 不揮発メモリ、1 1 3 RAMメモリ、1 1 6 直並列変換器（シリアル通信回路）、1 1 8 データバス、1 2 0 第二LSI（集積回路）、1 2 5 出力ラッチメモリ、1 2 6 直並列変換器（シリアル通信回路）、1 2 9 通信制御回路、1 3 0 ブリーダ抵抗、1 3 1 a ノイズフィルタ（直接入力インタフェース回路）、1 3 1 b ノイズフィルタ（間接入力インタフェース回路）、1 3 2 a レベル判定用比較器（直接入力インタフェース回路）、1 3 2 b レベル判定用比較器（間接入力インタフェース回路）、1 3 3 a、1 3 3 b 可変フィルタ回路、1 3 4 a 出力トランジスタ（直接出力インタフェース回路）、1 3 4 b 出力トランジスタ（間接入力インタフェース回路）、1 3 5 ノイズフィルタ（間接入力インタフェース回路）、1 3 6 a、1 3 6 b 可変フィルタ、1 3 7 a～1 3 7 c 定数設定レジスタ、1 3 8 A/D変換器、1 4 1 帯域フィルタ（直接入力インタフェース回路）、2 0 0 入力スイッチ、2 1 0 直列抵抗、2 1 1 小容量コンデンサ、2 3 9 入力確定レジスタ、3 0 0 クリップダイオード（正側）、3 0 1 クリップダイオード（負側）、3 0 3 小容量コンデンサ、3 1 2 切換スイッチ、3 1 3 スイッチトキャパシタ、6 0 3 a 定数設定レジスタ、6 0 5 入力確定レジスタ。

【書類名】 図面

【図 1】

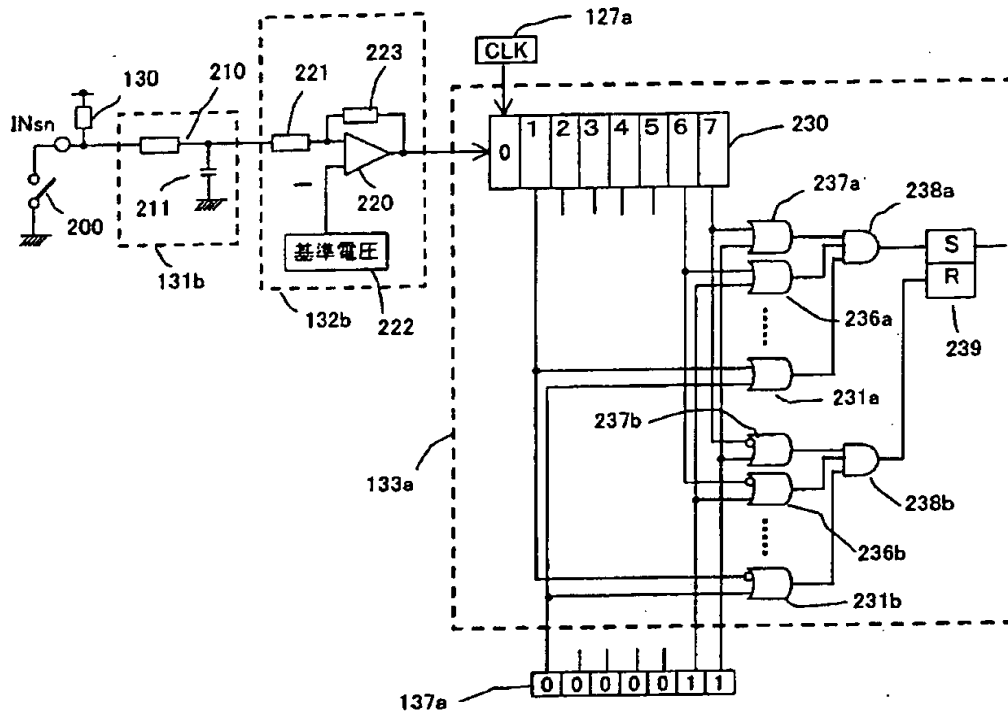


100 ECU (車載電子制御装置)  
 106 外部ツール  
 111 マイクロプロセッサ  
 112 不揮発メモリ  
 113 RAMメモリ  
 118 データバス  
 120 第二LSI (集積回路)  
 125 出力ラッチメモリ  
 129 通信制御回路  
 130 ブリッジ抵抗  
 131a ノイズフィルタ  
 (直接入力インタフェース回路)  
 131b ノイズフィルタ  
 (間接入力インタフェース回路)  
 132a レベル判定用比較器  
 (直接入力インタフェース回路)

132b レベル判定用比較器  
 (間接入力インタフェース回路)  
 133a 可変フィルタ回路  
 134a 出力トランジスタ  
 (直接出力インタフェース回路)  
 134b 出力トランジスタ  
 (間接出力インタフェース回路)  
 135 ノイズフィルタ  
 (間接入力インタフェース回路)  
 141 帯域フィルタ  
 (直接入力インタフェース回路)  
 136a 可変フィルタ回路  
 137a 定数設定レジスタ  
 137b 定数設定レジスタ  
 138 A/D変換器  
 116, 126 直並列変換器 (シリアル通信回路)

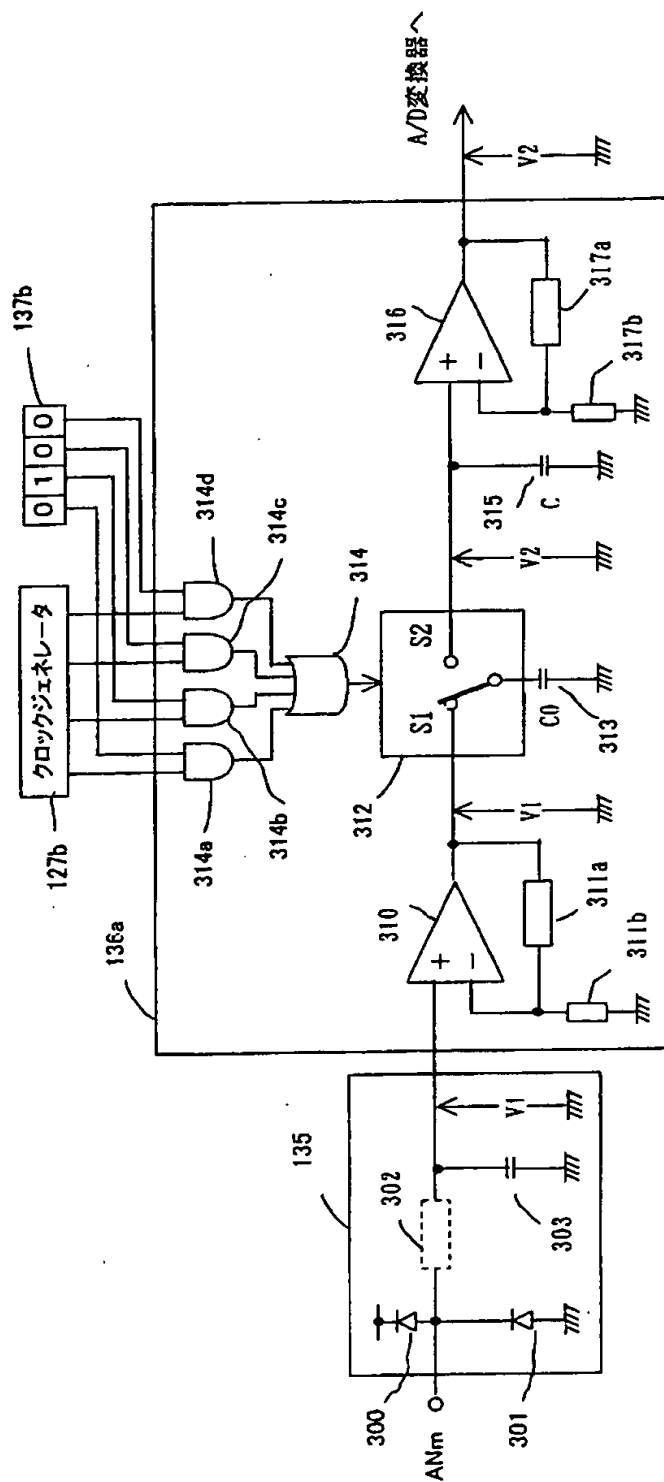
【図 2】

ON/OFFフィルタ



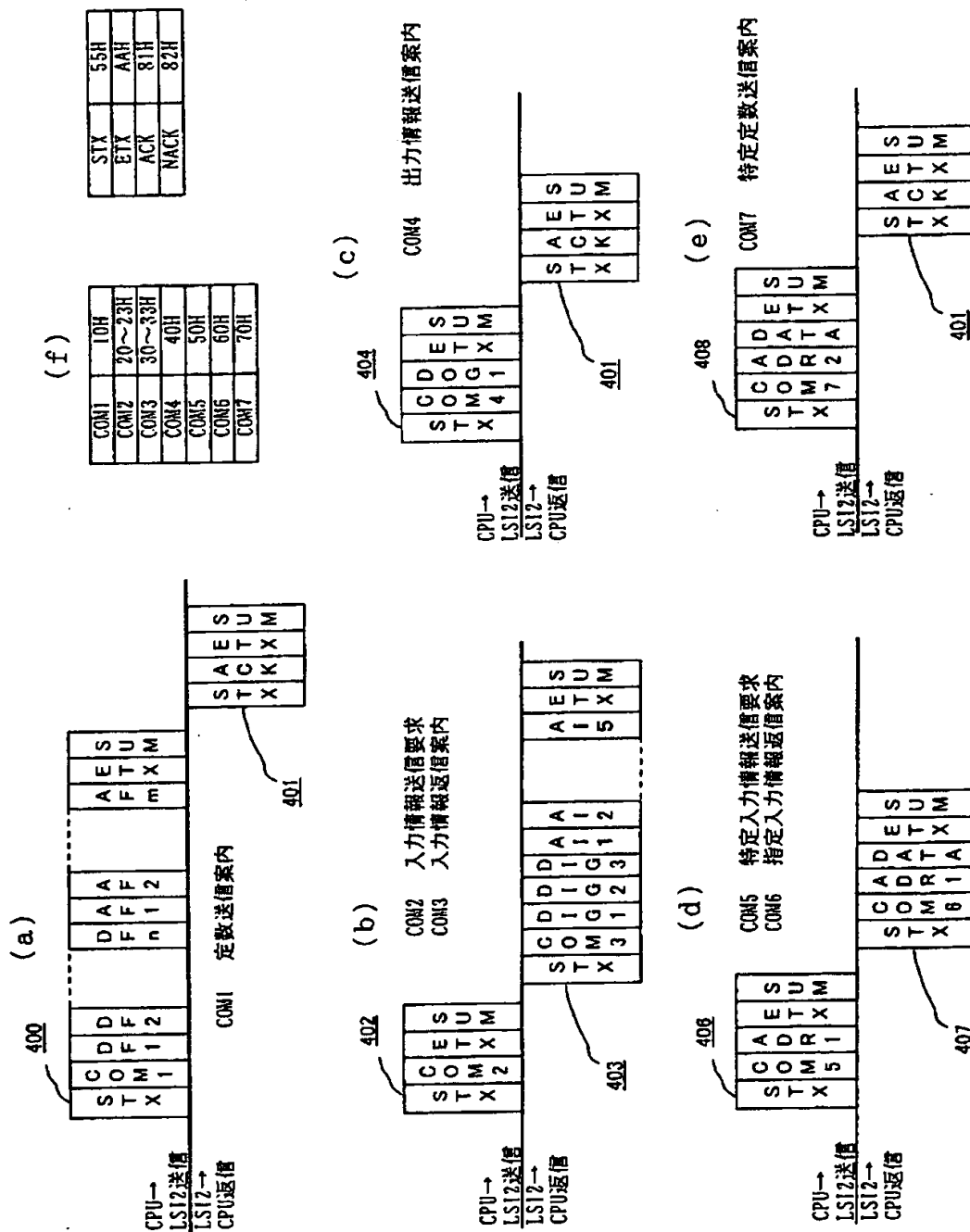
- 130 ブリーダ抵抗
- 131b ノイズフィルタ（間接入力インタフェース回路）
- 132b レベル判定用比較器（間接入力インタフェース回路）
- 133a 可変フィルタ回路
- 137a 定数設定レジスタ
- 200 入力スイッチ
- 210 直列抵抗
- 211 小容量コンデンサ
- 239 入力確定レジスタ

【図 3】

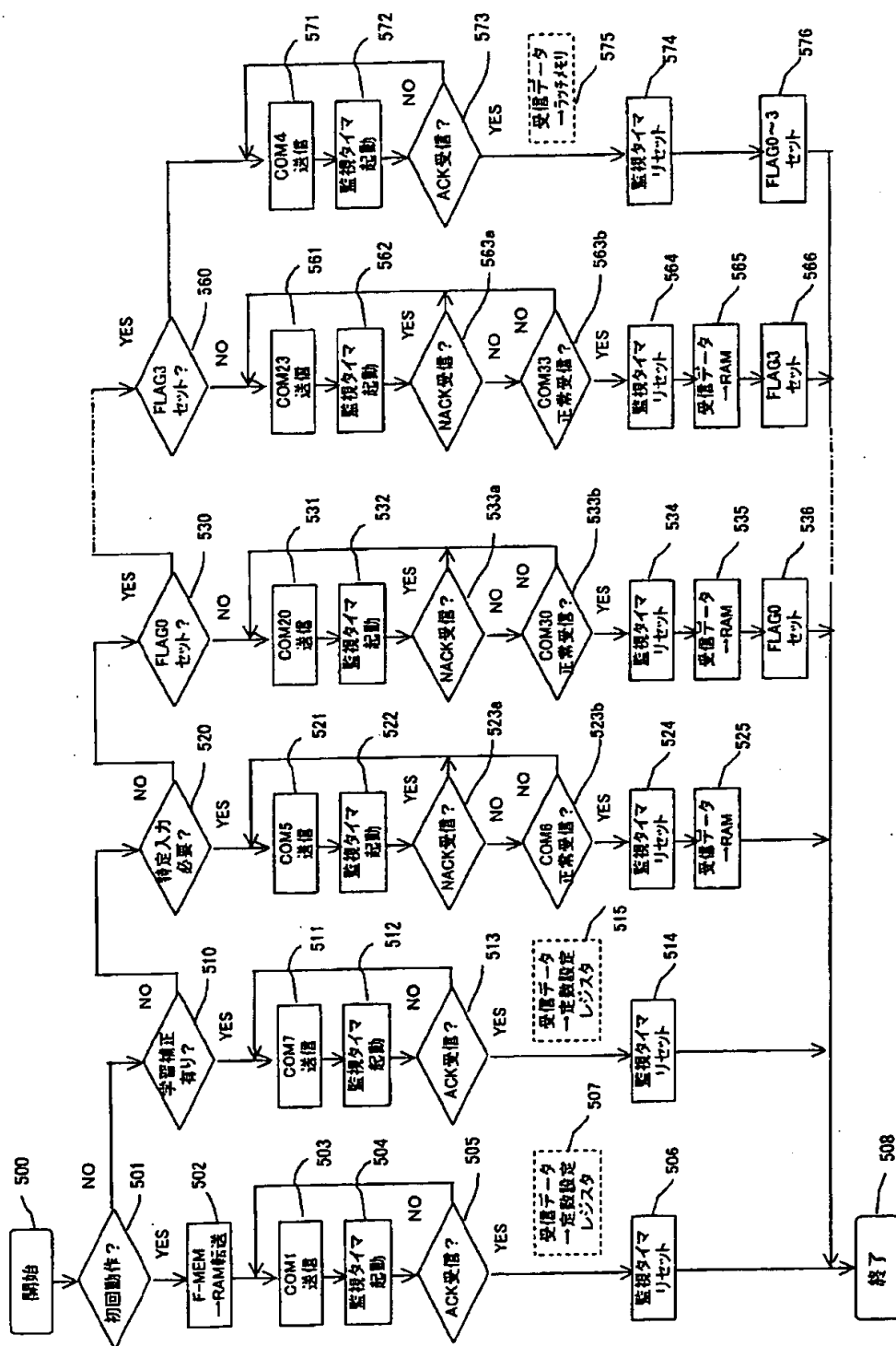


- 135 ノイズフィルタ (間接入力カウンタフェース回路)
- 136a 可変フィルタ回路
- 137b 定数設定レジスタ
- 300 クリップダイオード (正側)
- 301 クリップダイオード (負側)
- 302 小容量コンデンサ
- 303 切換スイッチ
- 312 スイッチトキャパシタ
- 313

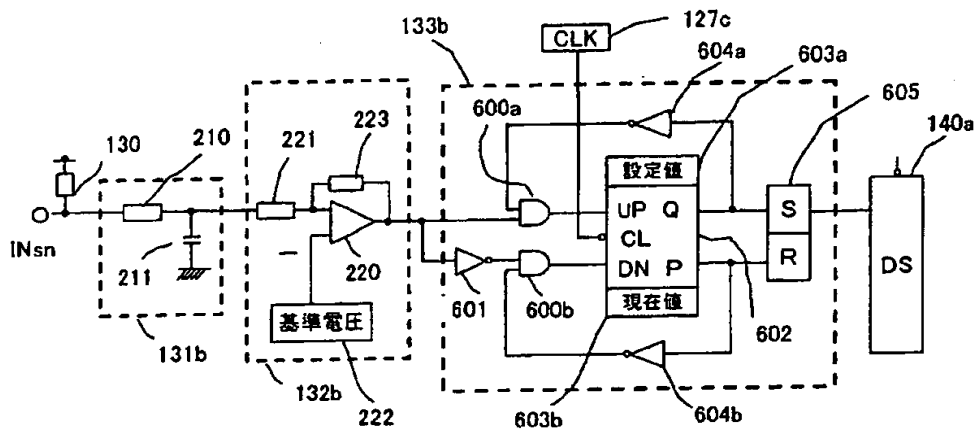
【図 4】



【図 5】

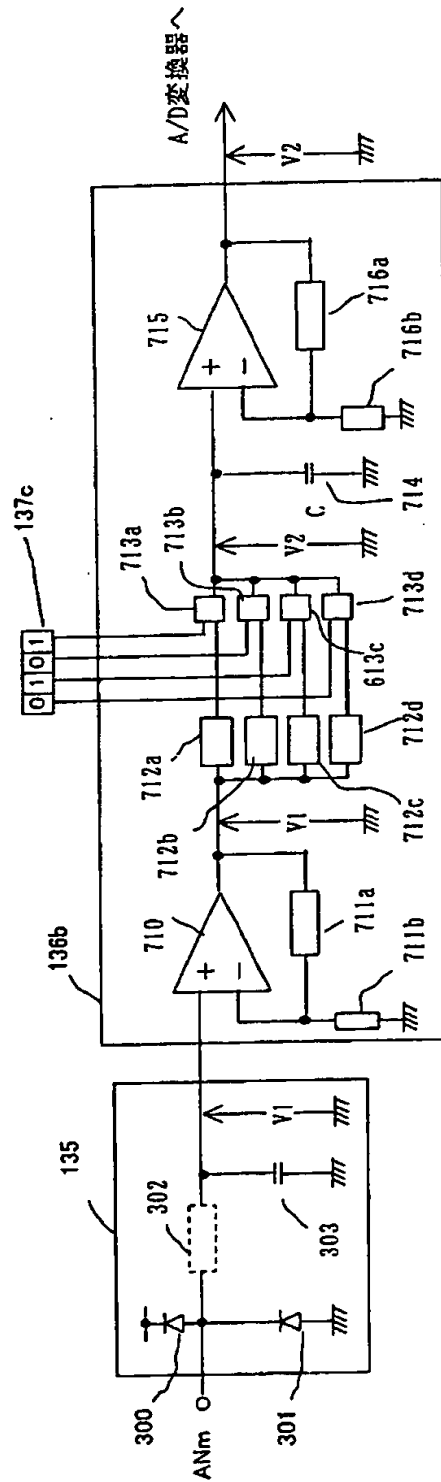


【図 6】



- 130 ブリーダ抵抗
- 131b ノイズフィルタ（間接入力インタフェース回路）
- 132b レベル判定用比較器（間接入力インタフェース回路）
- 133b 可変フィルタ回路
- 210 直列抵抗
- 211 小容量コンデンサ
- 603a 定数設定レジスタ
- 605 入力確定レジスタ

【図 7】



135 ノイズフィルタ (間接入力カウンタフェース回路)

136b 可変フィルタ

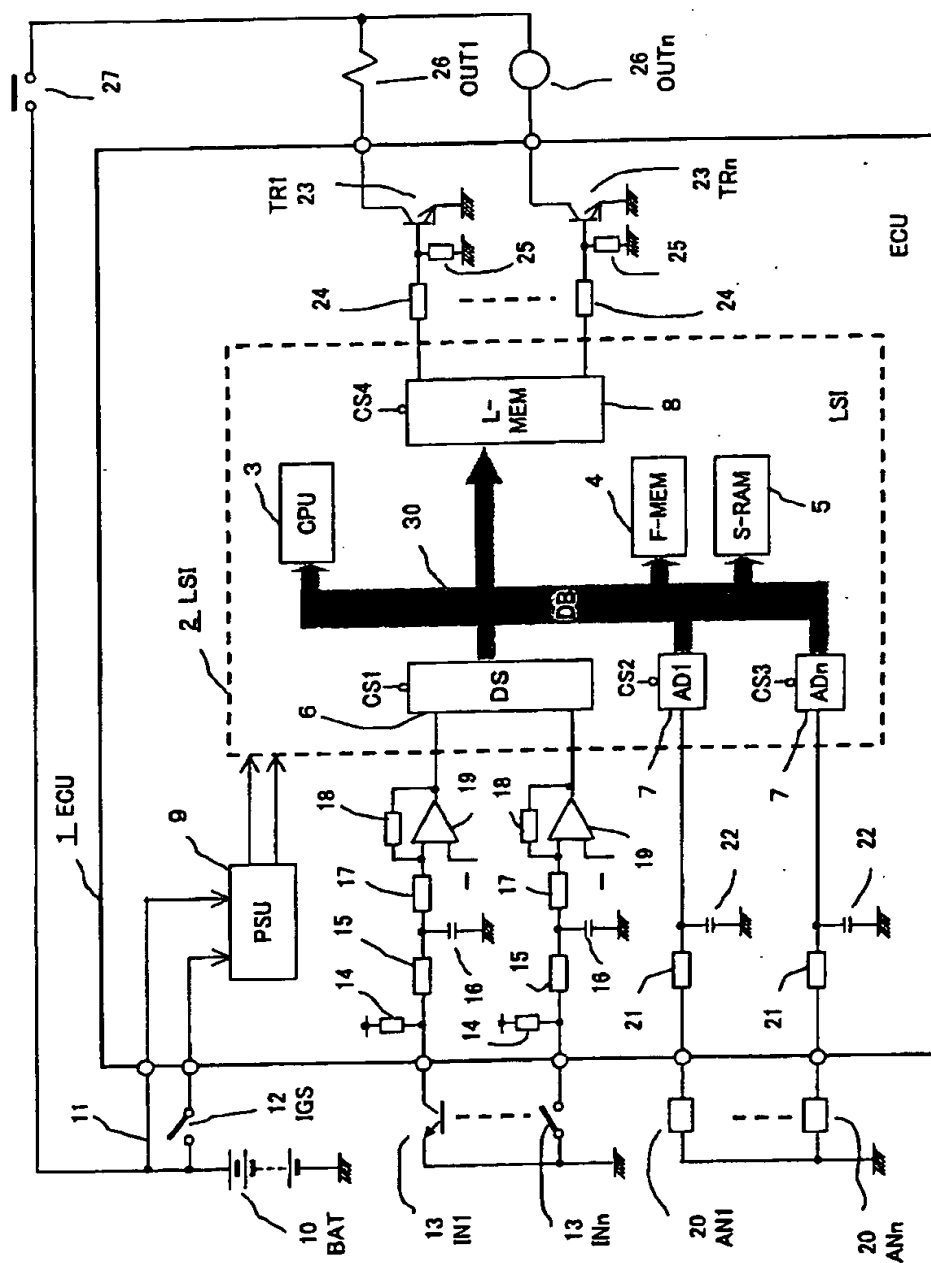
137c 定数設定レジスタ

300 クリップアップダイオード (正側)

301 クリップアップダイオード (負側)

303 小容量コンデンサ

【图 8】



【書類名】            要約書

【要約】

【課題】    車載電子制御装置の入力フィルタ回路を改善して、装置の小型化・標準化を行う。

【解決手段】    制御プログラム等が格納された不揮発メモリ 1 1 2 と演算処理用 RAM メモリ 1 1 3 を有するマイクロプロセッサ 1 1 1 のデータバス 1 1 8 には、直接入力用インタフェース回路 1 3 1 a、1 3 2 a、直接出力用インタフェース回路 1 3 4 a が接続される。間接入力用インタフェース回路 1 3 1 b、1 3 2 b から入力された ON/OFF 信号は、フィルタ定数が定数設定レジスタ 1 3 7 a で設定される可変フィルタ回路 1 3 3 a と、双方向シリアル通信回路 1 2 6、1 1 6 を介して RAM メモリ 1 1 3 に送信され、不揮発メモリ 1 1 2 に格納されたフィルタ定数は、双方向シリアル通信回路 1 1 6、1 2 6 を介して定数設定レジスタ 1 3 7 a に格納される。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社